

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-143494

(P2001-143494A)

(43) 公開日 平成13年5月25日 (2001.5.25)

(51) Int.Cl.	識別記号	F I	特許庁 (参考)
G 1 1 C 29/00	6 0 3	G 1 1 C 29/00	6 0 3 Z 5 B 0 2 4
11/401		11/34	3 6 2 H 5 L 1 0 6
			3 7 1 D

審査請求 未請求 請求項の数27 O L (全 36 頁)

(21) 出願番号	特願2000-1833 (P2000-1833)	(71) 出願人	000003078 株式会社東芝 神奈川県川崎市幸区堀川町72番地
(22) 出願日	平成12年1月7日 (2000.1.7)	(72) 発明者	向井 秀夫 神奈川県川崎市幸区小向東芝町1番地 株 式会社東芝マイクロエレクトロニクスセン ター内
(31) 優先権主張番号	特願平11-75065	(72) 発明者	中川 薫 神奈川県川崎市幸区小向東芝町1番地 株 式会社東芝マイクロエレクトロニクスセン ター内
(32) 優先日	平成11年3月19日 (1999.3.19)	(74) 代理人	100058479 弁理士 鈴江 武彦 (外6名)
(33) 優先権主張国	日本 (J P)		
(31) 優先権主張番号	特願平11-250509		
(32) 優先日	平成11年9月3日 (1999.9.3)		
(33) 優先権主張国	日本 (J P)		

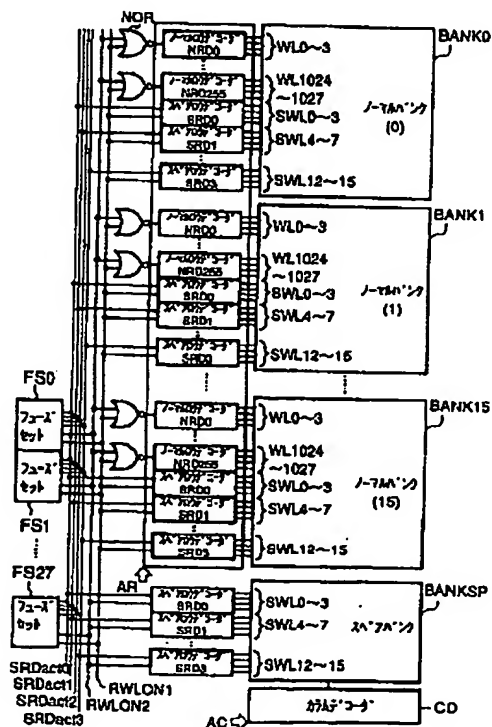
最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 DRAMの不良メモリセルの救済効率を落とすことなく総スペアエレメント数を激減させ、冗長回路の面積効率を向上させる。

【解決手段】 メモリセルアレイが複数に分割されてなる複数のノーマルバンクBANK0 ~ BANK15にそれぞれ設けられた第1のスペアエレメントSWLと、ノーマルバンクとは別のスペアバンクBANKBPに設けられた第2のスペアエレメントSWLと、第1のスペアエレメントを選択駆動する複数の第1のスペアデコーダSRD0 ~ SRD3と、第2のスペアエレメントを選択駆動する第2のスペアデコーダSRD0 ~ SRD3と、第2のスペアエレメントを複数のノーマルバンク内の任意のバンクに選択的に割り当てる置換制御回路FS0a ~ FS27a、RWLON1、RWLON2、SRDact0 ~ SRDact3とを具備する。



【特許請求の範囲】

【請求項1】 メモリセルアレイの複数の単位にそれぞれ設けられた第1のスペアエレメントと、
前記複数の単位とは別に設けられた第2のスペアエレメントと、

前記第2のスペアエレメントを前記複数の単位の内の任意の単位に選択的に割り当てる手段とを具備することを特徴とする半導体記憶装置。

【請求項2】 メモリセルアレイが複数の分割されてなる複数のノーマルバンクと、

前記メモリセルアレイの不良メモリセルを置き換えるために設けられた1個のスペアバンクに纏められて配置された第1冗長セルアレイと、

前記複数のノーマルバンクに対応して設けられた複数の第2冗長セルアレイと、

前記各ノーマルバンクに対応して設けられ、入力アドレスにより前記メモリセルアレイの行、列の選択を行うノーマルデコーダと、

前記第1冗長セルアレイを選択駆動する第1のスペアデコーダと、

前記複数の第2冗長セルアレイを対応して選択駆動する複数の第2のスペアデコーダと、

前記第1のスペアデコーダを駆動制御する第1の置換制御信号を供給する第1の置換制御信号線と、

前記複数の第2のスペアデコーダを駆動制御する第2の置換制御信号を供給する第2の置換制御信号線と、

不良メモリセルのアドレスおよび前記第1冗長セルアレイあるいは第2冗長セルアレイとの対応関係情報を予め記憶しておき、前記記憶された不良メモリセルのアドレスと入力アドレスとの一致検出結果および前記第1冗長セルアレイあるいは第2冗長セルアレイとの対応関係情報に基づいて前記第1の置換制御信号あるいは第2の置換制御信号を選択的に出力する複数の第1の記憶回路と、

前記第1の置換制御信号線および第2の置換制御信号線のいずれかが活性状態の時に前記ノーマルデコーダを非活性状態に制御する制御回路とを具備することを特徴とする半導体記憶装置。

【請求項3】 請求項2記載の半導体記憶装置において、

前記第1の記憶回路は、

前記不良メモリセルのアドレスおよび前記第1冗長セルアレイあるいは第2冗長セルアレイとの対応関係情報を予め記憶する第1の記憶手段と、

前記第1の記憶手段の記憶情報に基づいて当該第1の記憶回路が前記第1冗長セルアレイおよび第2冗長セルアレイのいずれと対応するかを判別して前記第1の置換制御信号あるいは第2の置換制御信号を出力する第1の出力回路とを具備することを特徴とする半導体記憶装置。

【請求項4】 請求項3記載の半導体記憶装置において、

て、

前記第1の記憶手段は、

不良メモリセルのアドレスの各ビットデータを切断／非切断状態に対応させて記憶する複数の第1のフューズ素子と、

前記第1冗長セルアレイの選択の可否を指定するための1ビットデータを切断／非切断状態に対応させて記憶する第2のフューズ素子と、

前記第2冗長セルアレイの選択の可否を指定するための1ビットデータを切断／非切断状態に対応させて記憶する第3のフューズ素子とを具備し、

前記第1の出力回路は、

前記記憶された不良メモリセルのアドレスと入力アドレスとを比較する比較回路と、

前記比較回路の比較出力と前記第2のフューズ素子の記憶データとの論理処理を行って前記第1の置換制御信号を出力する第1のANDゲートと、

前記比較回路の比較出力と前記第3のフューズ素子の記憶データとの論理処理を行って前記第2の置換制御信号を出力する第2のANDゲートとを具備することを特徴とする半導体記憶装置。

【請求項5】 メモリセルアレイが複数の分割されてなる複数のノーマルバンクと、

前記メモリセルアレイの不良メモリセルを置き換えるために設けられた複数のスペアバンクに配置された複数の第1冗長セルアレイと、

前記複数のノーマルバンクに対応して設けられた複数の第2冗長セルアレイと、

前記各ノーマルバンクに対応して設けられ、入力アドレスにより前記メモリセルアレイの行、列の選択を行うノーマルデコーダと、

前記複数の第1冗長セルアレイを対応して選択駆動する複数の第1のスペアデコーダと、

前記複数の第2冗長セルアレイを対応して選択駆動する複数の第2のスペアデコーダと、

前記複数の第1のスペアデコーダを択一的に駆動制御する第1の置換制御信号を供給する複数の第1の置換制御信号線と、

前記複数の第2のスペアデコーダを駆動制御する第2の置換制御信号を供給する第2の置換制御信号線と、

不良メモリセルのアドレスおよび前記複数の第1冗長セルアレイあるいは第2冗長セルアレイとの対応関係情報を予め記憶しておき、前記記憶された不良メモリセルのアドレスと入力アドレスとの一致検出結果および前記複数の第1冗長セルアレイあるいは第2冗長セルアレイとの対応関係情報に基づいて前記第1の置換制御信号あるいは第2の置換制御信号を選択的に出力する複数の第1の記憶回路と、

前記複数の第1の置換制御信号線および第2の置換制御信号線のいずれかが活性状態の時に前記ノーマルデコー

ダを非活性状態に制御する制御回路とを具備することを特徴とする半導体記憶装置。

【請求項6】 請求項5記載の半導体記憶装置において、
前記第1の記憶回路は、
前記不良メモリセルのアドレスおよび前記複数の第1冗長セルアレイあるいは第2冗長セルアレイとの対応関係情報を記憶する第1の記憶手段と、
前記第1の記憶手段の記憶情報に基づいて当該第1の記憶回路が前記複数の第1冗長セルアレイおよび第2冗長セルアレイのいずれと対応するかを判別して前記複数の第1の置換制御信号あるいは第2の置換制御信号のうちの1つを選択的に出力する第1の出力回路とを具備することを特徴とする半導体記憶装置。
【請求項7】 メモリセルアレイが複数の分割されてなる複数のノーマルバンクと、
前記メモリセルアレイの不良メモリセルを置き換えるために設けられた1個のスペアバンクに纏められて配置された複数の第1冗長セルアレイと、
前記複数のノーマルバンクに対応して設けられた複数の第2冗長セルアレイと、
前記各ノーマルバンクに対応して設けられ、入力アドレスにより前記メモリセルアレイの行、列の選択を行うノーマルデコードと、
前記複数の第1冗長セルアレイを対応して選択駆動する複数の第1のスペアデコードと、
前記複数の第2冗長セルアレイを対応して選択駆動する複数の第2のスペアデコードと、
前記複数の第1のスペアデコードを対応して駆動制御する第1の置換制御信号を供給する複数の第1の置換制御信号線と、
前記複数の第2のスペアデコードを駆動制御する第2の置換制御信号を供給する第2の置換制御信号線と、
前記複数の第1の置換制御信号線に対応して設けられ、不良メモリセルのアドレスを予め記憶する第1の記憶手段を備え、前記第1の記憶手段に記憶された不良メモリセルのアドレスと入力アドレスとの一致検出結果に基づいて対応する第1の置換制御信号線に前記第1の置換制御信号を選択的に出力する複数の第1の記憶回路と、
前記不良メモリセルのアドレスおよび前記複数の第2冗長セルアレイとの対応関係情報を予め記憶する第2の記憶手段を備え、前記第2の記憶手段に記憶された不良メモリセルのアドレスと入力アドレスとの一致検出結果および前記複数の第2冗長セルアレイとの対応関係情報に基づいて前記第2の置換制御信号線に前記第2の置換制御信号を選択的に出力する複数の第2の記憶回路と、
前記複数の第1の置換制御信号線および第2の置換制御信号線のいずれか1本が活性状態の時に前記ノーマルデコードを非活性状態に制御する制御回路とを具備することを特徴とする半導体記憶装置。

【請求項8】 請求項2乃至7のいずれか1項に記載の半導体記憶装置において、

前記第1冗長セルアレイは、それぞれ複数のスペアエレメントを備え、

前記第1冗長セルアレイに対応する前記第1のスペアデコードは、前記複数のスペアエレメントを選択的に駆動することを特徴とする半導体記憶装置。

【請求項9】 請求項2乃至8のいずれか1項に記載の半導体記憶装置において、

前記第2冗長セルアレイは、それぞれ複数のスペアエレメントを備え、

前記第2冗長セルアレイに対応する前記第2のスペアデコードは、前記複数のスペアエレメントを選択的に駆動することを特徴とする半導体記憶装置。

【請求項10】 メモリセルアレイが複数の分割されてなり、それぞれ複数のサブアレイからなる複数のメモリバンクと、

前記各サブアレイにそれぞれ設けられ、不良メモリセルと置き換えられる複数のスペアエレメントと、

前記各サブアレイに対応して設けられ、入力アドレスにより前記サブアレイの行選択を行う複数のノーマルデコードと、

前記各サブアレイに対応して設けられ、前記複数のスペアエレメントを対応して駆動する複数のスペアデコードと、

前記複数のメモリバンクを選択指定する複数のバンク選択線と、

前記複数のメモリバンクを構成するそれぞれ複数のサブアレイからなる各組に対応して設けられ、各組のサブアレイに対応して設けられた前記ノーマルデコードおよびスペアデコードのうちのノーマルデコードを選択指定する複数のノーマルデコード制御線と、

前記複数のメモリバンクを構成するそれぞれ複数のサブアレイからなる各組に対応して設けられ、各組のサブアレイに対応して設けられた前記ノーマルデコードおよびスペアデコードのうちのスペアデコードを選択指定する複数のスペアデコード制御線と、

前記各サブアレイにおける複数のスペアデコードを択一的に選択制御する複数のスペアデコード選択線と、

前記各サブアレイにおけるスペアエレメントを同一バンクに属する他のサブアレイに選択的に割り当てる割り当て手段とを具備することを特徴とする半導体記憶装置。

【請求項11】 請求項10記載の半導体記憶装置において、

前記割り当て手段は、

不良メモリセルのアドレスおよび前記不良メモリセルのアドレスと1対1に対応させた前記スペアデコードとの関係情報を予め記憶しておき、入力アドレスと前記記憶した不良メモリセルのアドレスとを比較し、一致検出時に前記複数のスペアデコード制御線を選択的に活性化さ

せる信号を出力するとともに、前記記憶した前記不良メモリセルのアドレスとスベアデコーダとの関係情報に基づいて前記複数のスベアデコーダ選択線を選択的に活性化させる信号を出力し、不一致検出時には前記複数のノーマルデコーダ制御線を選択的に活性化させる信号を出力する複数の記憶回路を具備することを特徴とする半導体記憶装置。

【請求項12】 請求項11記載の半導体記憶装置において、前記各記憶回路は、前記不良メモリセルのアドレスを記憶する第1の記憶手段と、前記複数のメモリバンクを構成する複数のサブアレイとの対応関係情報を記憶する第2の記憶手段と、前記複数のスベアデコーダとの対応関係情報を記憶する第3の記憶手段と、前記第1の記憶手段の記憶情報と入力アドレスとを比較する比較回路と、前記比較回路の比較出力および前記第2の記憶手段の記憶情報に基づいて前記複数のスベアデコーダ制御線のいずれかを活性化させる信号を出力する第1の出力回路と、前記複数のスベアデコーダ制御線のいずれかを活性化させる際には前記第3の記憶手段の記憶情報に基づいて前記複数のスベアデコーダ選択線を選択的に活性化させる信号を出力する第2の出力回路と、前記比較回路の比較出力および入力アドレスに基づいて前記複数のノーマルデコーダ制御線のいずれかを活性化させる信号を出力する第3の出力回路を具備することを特徴とする半導体記憶装置。

【請求項13】 請求項12記載の半導体記憶装置において、前記第1の記憶手段は、前記不良メモリセルのアドレスの各ビットデータを切断／非切断状態に対応させて記憶する複数の第1のフューズ素子を備え、前記第2の記憶手段は、2組のサブアレイとの対応関係情報を1ビットデータを切断／非切断状態に対応させて記憶する第2のフューズ素子を備え、前記第3の記憶手段は、前記複数のスベアデコーダとの対応関係を表わすエンコードデータの各ビットデータを切断／非切断状態に対応させて記憶する複数の第3のフューズ素子を備え、前記第1の出力回路は、前記比較回路による一致検出時に前記第2のフューズ素子の記憶データおよびそれを反転させたデータにより相補的に活性化され、2本のスベアデコーダ制御線のいずれかを活性化させる第1の論理回路であり、前記第2の出力回路は、前記比較回路による一致検出時に前記複数の第3のフューズ素子により記憶されているエンコードデータをデコードして前記複数のスベアデコーダ選択線を選択的に活性化させるデコーダであり、

前記第3の出力回路は、前記比較回路による不一致検出時に入力アドレスの所定のビット信号およびそれを反転させた信号により相補的に活性化され、2本のノーマルデコーダ制御線のいずれかを活性化させる第2の論理回路であることを特徴とする半導体記憶装置。

【請求項14】 請求項13記載の半導体記憶装置において、

前記第1の論理回路は、前記比較回路による一致検出時の検出出力と前記第2のフューズ素子の記憶データとの論理積をとる第1のアンドゲートおよび前記比較回路による一致検出時の検出出力と前記第2のフューズ素子の記憶データの反転データとの論理積をとる第2のアンドゲートからなり、

前記第2の論理回路は、前記比較回路による不一致検出時の検出出力と前記入力アドレスの所定のビット信号との論理積をとる第3のアンドゲートおよび前記比較回路による不一致検出時の検出出力と前記入力アドレスの所定のビット信号の反転信号との論理積をとる第4のアンドゲートからなることを特徴とする半導体記憶装置。

【請求項15】 請求項10記載の半導体記憶装置において、前記割り当て手段は、

不良メモリセルのアドレスを予め記憶しておき、入力アドレスと前記記憶された不良メモリセルのアドレスとを比較し、一致検出時には前記複数のスベアデコーダ制御線を選択的に活性化させる信号を出力し、不一致検出時には前記複数のノーマルデコーダ制御線を活性化させる信号を出力する記憶回路を具備することを特徴とする半導体記憶装置。

【請求項16】 請求項15記載の半導体記憶装置において、前記記憶回路は、対応するスベアデコーダを1つのみ持ち、

前記不良メモリセルのアドレスを記憶する第1の記憶手段と、

前記複数のメモリバンクを構成する複数のサブアレイとの対応関係情報を記憶する第2の記憶手段と、

前記第1の記憶手段の記憶情報と入力アドレスとを比較する比較回路と、

前記比較回路の比較出力および前記第2の記憶手段の記憶情報に基づいて前記複数のスベアデコーダ制御線のいずれかを活性化させる信号を出力する第1の出力回路と、

前記複数のスベアデコーダ制御線のいずれかを活性化させる際には前記対応するスベアデコーダを活性化させる信号を出力する第2の出力回路と、

前記比較回路の比較出力および入力アドレスの所定のビット信号に基づいて前記複数のノーマルデコーダ制御線のいずれかを活性化させる信号を出力する第3の出力回路を具備することを特徴とする半導体記憶装置。

【請求項17】 請求項10至16のいずれか1項に記載の半導体記憶装置において、前記サブアレイは、

ワード線、スベアワード線、ビット線対およびこれらの各交差部に対応して配置されたメモリセルからなるサブセルアレイ部と、

前記サブセルアレイ部の両側に配置され、イコライズ信号により制御されて前記ビット線対をビット線イコライズ電位にイコライズする複数のイコライズ回路および選択されたロウのメモリセルからビット線に読み出されたデータをセンス増幅する複数のセンスアンプを含むイコライズ回路・センスアンプ列と、

前記バンク選択線および前記ノーマルデコード制御線および前記スベアデコード制御線の信号が入力し、バンク活性化開始時には同じバンクの全てのサブアレイに対応するイコライズ回路をイコライズ解除状態に制御してセンスアンプを一旦は活性準備状態に制御し、前記複数のノーマルデコード制御線および複数のスベアデコード制御線のいずれか1本が活性化されることにより活性化すべきサブアレイについては対応するイコライズ回路をイコライズ解除状態のままに制御してセンスアンプを活性準備状態に維持したまま、残りの非活性化すべきサブアレイについては対応するイコライズ回路をイコライズ状態に戻してセンスアンプを非活性状態に戻す制御回路とを具備することを特徴とする半導体記憶装置。

【請求項18】 請求項10至16のいずれか1項に記載の半導体記憶装置において、前記サブアレイは、ワード線、スベアワード線、ビット線対およびこれらの各交差部に対応して配置されたメモリセルからなるサブセルアレイ部と、

前記サブセルアレイ部の両側に配置され、イコライズ信号により制御されて前記ビット線対をビット線イコライズ電位にイコライズする複数のイコライズ回路と、

隣接するサブアレイ間に配置されて隣接するサブアレイ間で共用される複数のビット線センスアンプを含むセンスアンプ列と各ビット線対との間にそれぞれ接続されたアレイ選択スイッチと、

前記バンク選択線および前記ノーマルデコード制御線および前記スベアデコード制御線の信号が入力し、バンク活性化開始時には同じバンクの全てのサブアレイに対応する前記イコライズ回路をイコライズ解除状態に制御するとともに前記アレイ選択スイッチを接続解除状態にしてセンスアンプを一旦は活性準備状態に制御し、前記複数のノーマルデコード制御線および複数のスベアデコード制御線のいずれか1本が活性化されることにより、活性化すべきサブアレイについては対応する前記イコライズ回路をイコライズ解除状態に維持するとともに隣接するサブアレイのアレイ選択スイッチを接続解除状態に制御してセンスアンプを活性準備状態に維持したまま、残りの非活性化すべきサブアレイについては対応する前記イコライズ回路をイコライズ状態に制御するとともに前記アレイ選択スイッチを接続状態に制御してセンスアンプを非活性状態に戻す制御回路とを具備することを特徴

とする半導体記憶装置。

【請求項19】 請求項17または18記載の半導体記憶装置において、

前記制御回路は、

前記バンク選択線の信号が入力し、その前縁に同期して時間幅が短縮されたパルス信号を生成する第1の回路と、

前記第1の回路の出力信号がゲートに入力する第1のNMOSTランジスタと、

前記第1のNMOSTランジスタのドレインと電源ノードとの間に接続され、ゲートに前記バンク選択線の信号が入力するPMOSTランジスタと、

前記第1のNMOSTランジスタのソースと接地ノードとの間に接続され、ゲートに前記ノーマルデコード制御線の信号が入力する第2のNMOSTランジスタと、

前記第1のNMOSTランジスタのソースと接地ノードとの間に接続され、ゲートに前記スベアデコード制御線の信号が入力する第3のNMOSTランジスタと、

前記第1のNMOSTランジスタのドレイン電位をラッチするラッチ回路と、

前記ラッチ回路の出力信号および前記バンク選択線からの入力信号の論理処理を行い、前記イコライズ回路のイコライズ制御信号を出力する論理ゲートとを具備することを特徴とする半導体記憶装置。

【請求項20】 メモリセルアレイが複数の分割されたメモリバンクと、

前記各メモリバンクにそれぞれ設けられ、不良メモリセルと置き換えられる複数のスベアエレメントと、

前記各メモリバンクに対応して設けられ、入力アドレスにより前記メモリバンクの行選択を行う複数のノーマルデコードと、

前記各メモリバンクに対応して設けられ、前記複数のスベアエレメントに対応して駆動する複数のスベアデコードと、

前記複数のメモリバンクを選択指定する複数のバンク選択線と、

前記ノーマルデコードおよびスベアデコードのうちのスベアデコードを選択指定するスベアデコード制御線と、

前記各メモリバンクにおける複数のスベアデコードを一時的に選択制御する複数のスベアデコード選択線と、

前記スベアエレメントの総数よりも少ない数だけ設けられ、前記スベアエレメントの1つまたは複数の任意に選択して不良メモリセルと置換させる割り当て手段を具備することを特徴とする半導体記憶装置。

【請求項21】 請求項20記載の半導体記憶装置において、前記割り当て手段は、

1つまたは複数の不良メモリセルのアドレスおよび前記不良メモリセルのアドレスと1対1に対応させた前記スベアデコードとの関係情報を予め記憶しておき、入力アドレスと前記記憶した1つまたは複数の不良メモリセル

のアドレスとを比較し、一致検出時／不一致検出時に対応して前記スベアデコード制御線を活性化／非活性化する信号を出力し、一致検出時には前記記憶した前記不良メモリセルのアドレスとスベアデコードとの関係情報に基づいて前記複数のスベアデコード選択線を選択的に活性化する信号を出力する記憶回路を具備することを特徴とする半導体記憶装置。

【請求項22】 請求項21記載の半導体記憶装置において、前記記憶回路は、前記不良メモリセルのアドレスを1つまたは複数記憶する第1の記憶手段と、前記第1の記憶手段の情報と入力アドレスとを比較する比較回路と、前記比較回路による一致検出時の出力に基づいて前記スベアデコード制御線を活性化する信号を出力する第1の出力回路と、前記複数のスベアデコードと前記不良メモリセルのアドレスとの1対1の対応関係情報を記憶する第2の記憶手段と、前記スベアデコード制御線を活性化する際には前記第2の記憶手段の情報および置換に用いるアドレスの少なくとも最下位ビット信号に基づいて前記複数のスベアデコード選択線を選択的に活性化する信号を出力する第2の出力回路とを具備することを特徴とする半導体記憶装置。

【請求項23】 請求項22記載の半導体記憶装置において、前記第1の記憶手段が記憶する複数の不良メモリセルのアドレスは、置換に用いるアドレスの最下位ビットのみまたは前記最下位ビットおよびその上位の1ビットからなる2ビットのみが相異なる2種類乃至4種類のアドレスであり、前記第2の出力回路の入力には、前記相異なる1ビットまたは2ビットのアドレスビットが含有されることを特徴とする半導体記憶装置。

【請求項24】 請求項23記載の半導体記憶装置において、前記第1の記憶手段は、前記不良メモリセルの置換に用いるアドレスの最下位ビット信号、その反転信号および前記最下位ビットより上位の各ビットデータを切断／非切断状態に対応させて記憶する複数の第1のフューズ素子を備え、前記第2の記憶手段は、前記複数のスベアデコードとの対応関係を表わすエンコードデータのうちの前記最下位ビット以外の各ビットデータを切断／非切断状態に対応させて記憶する第2のフューズ素子を備え、前記第1の出力回路は、前記置換に用いるアドレスの最下位ビット信号およびその反転信号とそれに対応する前記第1の記憶手段の記憶データとを比較する第1の比較回路と、

前記アドレスの最下位ビットより上位の各ビットデータとそれに対応する前記第1の記憶手段の記憶データとを比較する第2の比較回路と、前記第1の比較回路の比較出力と第2の比較回路の比較出力との論理処理を行って前記スベアデコード制御線を活性化する信号を出力する第1のANDゲートとを備え、

前記第2の出力回路は、前記アドレスの最下位ビットデータと前記第2の記憶手段の記憶データとが入力し、それをデコードして前記複数のスベアデコード選択線を選択的に活性化させるデコードであることを特徴とする半導体記憶装置。

【請求項25】 請求項23記載の半導体記憶装置において、

前記第1の記憶手段は、前記不良メモリセルの置換に用いるアドレスの最下位ビット信号、その反転信号および前記最下位ビットより上位の各ビットデータを切断／非切断状態に対応させて記憶する複数の第1のフューズ素子を備え、

前記第2の記憶手段は、前記複数のスベアデコードとの対応関係を表わすエンコードデータの各ビットデータを切断／非切断状態に対応させて記憶する第2のフューズ素子を備え、

前記第1の出力回路は、前記置換に用いるアドレスの最下位ビット信号およびその反転信号とそれらに対応する前記第1の記憶手段の記憶データとを比較する第1の比較回路と、

前記アドレスの最下位ビットより上位の各ビットデータとそれに対応する前記第1の記憶手段の記憶データとを比較する第2の比較回路と、

前記第1の比較回路の比較出力と第2の比較回路の比較出力との論理処理を行って前記スベアデコード制御線を活性化する信号を出力する第1のANDゲートとを備え、

前記第2の出力回路は、前記第2の記憶手段に記憶されたエンコードデータまたはその最下位ビットデータが前記置換に用いるアドレスの最下位ビットデータに切り換えられたエンコードデータが入力し、それをデコードして前記複数のスベアデコード選択線を選択的に活性化させるデコードであることを特徴とする半導体記憶装置。

【請求項26】 請求項23記載の半導体記憶装置において、

前記第1の記憶手段は、前記不良メモリセルの置換に用いるアドレスの最下位から2ビットの信号、それらの反転信号、およびそれらより上位の各ビットデータを切断／非切断状態に対応させて記憶する複数の第1のフューズ素子を備え、

前記第2の記憶手段は、前記複数のスベアデコードとの対応関係を表わすエンコードデータの各ビットデータを切断／非切断状態に対応させて記憶する第2のフューズ

素子を備え、

前記第1の出力回路は、

前記置換に用いるアドレスの最下位から2ビットの信号およびそれらの反転信号とそれらに対応する前記第1の記憶手段の記憶データとを比較する第1の比較回路と、前記アドレスの最下位から2ビットより上位の各ビットデータとそれらに対応する前記第1の記憶手段の記憶データとを比較する第2の比較回路と、

前記第1の比較回路の比較出力と第2の比較回路の比較出力との論理処理を行って前記スベアデコード制御線を活性化する信号を出力する第1のANDゲートとを備え、

前記第2の出力回路は、前記第2の記憶手段に記憶されたエンコードデータまたはその最下位から2ビットのデータのうちの少なくとも1ビットが前記アドレスの対応するビットデータに切り換えられたエンコードデータが入力し、それをデコードして前記複数のスベアデコード選択線を選択的に活性化させるデコードであることを特徴とする半導体記憶装置。

【請求項27】 請求項20記載の半導体記憶装置において、

前記ノーマルデコードおよびスベアデコードのうちのノーマルデコードを選択指定するノーマルデコード制御線をさらに具備し、

前記記憶回路は、前記比較回路による不一致検出時の出力に基づいて前記ノーマルデコード制御線を活性化する信号を出力する第3の出力回路をさらに具備することを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体記憶装置に係り、特に不良メモリセルの救済を行う冗長回路を備えたマルチバンク構成の半導体記憶装置に関するものである。

【0002】

【従来の技術】半導体記憶装置には、製品の歩留まりを向上させるために、メモリセルアレイのテストにより一部のメモリセルに欠陥が検出された場合に、欠陥セルを冗長セルと置き換えて救済する冗長システムが採用されている。現在一般的に用いられている冗長システムは、欠陥セルを含む一行あるいは複数行のセルアレイを単位としてそれと同じ大きさのスベアエレメントで置き換える（セルアレイ単位の置き換え）方式を採用している。

【0003】欠陥セルを含むセルアレイ単位のアドレス情報は、フューズを用いた不揮発性の記憶素子により記憶されている。アドレス情報は複数ビットで構成されるので、それに対応した複数本のフューズを含むフューズセットが用いられている。このフューズセットは、通常、スベアエレメントと1対1に対応され、チップ内にはスベアエレメントと同数のフューズセットが設けら

る。そして、スベアエレメントを使用する場合、それに対応するフューズセット内のフューズがアドレス情報に応じて切断される。

【0004】上記したように冗長システムは、スベアエレメントおよびフューズセットなどの冗長回路を必要とするので、メモリチップの面積が増大する。救済可能な欠陥の数と冗長回路の面積とはトレードオフの関係にあるので、面積効率を向上させる冗長システムが種々提案されている。

【0005】例えば、Kirihata等が提案したフレキシブルな冗長システム（"Fault-Tolerant Design for 256Mb DRAM"（IEEE JOURNAL of SOLID-STATE CIRCUITS, VOL. 31, NO. 4, April 1996）参照）がある。この方式は、1つのスベアエレメントが広いセルアレイ領域をカバーしているので、欠陥セルがチップの一部に偏って存在する場合でも、セルアレイ内に欠陥が均等に分散している場合と同様に救済できる。このため、スベアエレメントの数を削減して、リダンダンシ回路の面積効率を高めることができ、チップ当たりの欠陥数が判明している場合、或いは予測できる場合に有効である。

【0006】一方、近年、メモリセルアレイが複数に分割されたメモリチップが開発されている。例えばチップ内部に複数のバンクを持ち、それらのバンクが同時に活性化されるメモリチップがある。

【0007】このようなメモリチップは、不良メモリセルをロウ単位で救済を行うためのロウスベアエレメントをバンクを越えて使用することは不可能であるので、各バンク毎にスベアエレメントを用意せざるを得ないという制約が生じる。そして、バンクの数が多くなるほど、チップ内のメモリセルアレイの分割数は増加し、1つのスベアエレメントがカバーできるセルアレイ領域は狭くなる。

【0008】しかも、各バンク毎にスベアエレメントを配置する場合、メモリ容量の増大に伴い、メモリセルの欠陥が偏って発生する確率が相当高いので、高い良品率を確保するためには、各バンクに含めるスベアエレメント数を増やすことが不可避となり、結果としてチップ面積の激増につながる。

【0009】即ち、上記したようにスベアエレメントが狭い範囲しかカバーできない場合、欠陥がメモリセルアレイの一部に偏在した場合においても欠陥セルを救済できるようにするためには、狭いセルアレイ領域毎にスベアエレメントを設けなければならない。これはチップ全体として見ると、チップ当たりの平均欠陥数を大幅に超えたスベアエレメント数をチップに組み込むことになるため、面積効率を悪化させる。

【0010】さらに、スベアエレメントとフューズセットを一对一に対応させる従来の方式では、スベアエレメント数の増加に伴ってフューズセット数も増加する。しかし、一般に、フューズセットの方がスベアエレメント

よりも大きな面積を必要とするので、冗長回路の面積効率が大きく低下してしまう。

【0011】このような事態に対して、セルアレイ全体の欠陥想定数を上回るフューズセットの数を、総スペアエレメント数よりも少なく抑える手法がある。その具体例としては、各バンク内の複数のスペアロウデコードとの対応情報関係を各フューズセットに含ませることにより、各フューズセットをスペアエレメントと1対1に対応させる必要がなくなる。

【0012】因みに、従来のDRAMには、セルアレイ全体を16個のバンクに分割し、不良が偏在した場合に備えて各バンクに8個のスペアエレメントを設け、セルアレイ全体での平均欠陥数を20個程度と想定した場合、総スペアエレメント数128よりも少ない28個のフューズセットにより、不良が均一に分散した場合にも偏在した場合にも対処できるようにしたものがある。しかし、総数で128個のスペアエレメントを持たせたので、スペアエレメントの面積効率が低いとは言えない。

【0013】ところで、メモリ容量の増大に比例してバンク数も増加する傾向にあるが、今後は、バンク数の増加の必要性が必ずしも大きくなり、メモリ容量の増大に比較してバンク数の増加率が鈍る傾向にある。これに対して、ビット線長、ワード線長に上限があることから、バンクを構成するサブアレイは、その大きさに上限があり、数が増える傾向にある。このような傾向に対応して、あるバンクが活性化された際にそのバンクに属しながらも非活性状態にあるサブアレイが存在するような構成が採用されることになる。

【0014】しかし、同一バンクに属しながら、活性状態のサブアレイと非活性状態のサブアレイが存在する構成の半導体メモリにおいて、各サブアレイ毎にスペアエレメントを多数配置すると、チップ面積の激増をまねくという問題がある。

【0015】一方、素子の微細化に伴い、欠陥もまた微細になるというわけではないので、欠陥の中には相対的に幅（面積）が大きく、複数のスペアエレメントを消費せざるを得ないという場合が発生してきている。

【0016】しかし、フューズセットの数を総スペアエレメント数よりも少なく抑える方式では、複数のスペアエレメントを消費すれば、当然に同数のフューズセットも消費されるので、より少ないフューズセットの方が、スペアエレメントよりも幅の大きい欠陥による被害を大きく受けることになる。

【0017】図21は、1つのバンク内で発生し得る欠陥による不良例A、Bを纏めて示している。

【0018】不良例Aは、ワード線2本分の幅をもつ面積が広い欠陥を救済するために、1つのスペアエレメントを使用する場合を示している。この場合、フューズセットの使用は1つである。

【0019】不良例Bは、ワード線2本分の幅をもつ面積が広い欠陥を救済するために、2つのスペアエレメントの使用を余儀なくされる場合を示している。この場合、フューズセットの使用は2つである。

【0020】素子の微細化が進むにつれて、不良例Bも増えてくる。極端な場合、想定している20個の欠陥のいずれもが置換単位の境界をまたぐとすると、スペアエレメントの数が足りなくなる確率はまだ低いが、フューズセットの方は確実に不足することになる。

【0021】そこで、欠陥の幅に比べてパターン微細化が進んだ場合には、占有面積が大きなフューズセットを減らしたいにも拘わらず、減らすことができないという事態に直面する。

【0022】

【発明が解決しようとする課題】上記したように従来のマルチバンク構成のDRAMは、スペアエレメント数の増加が面積効率を落とすという問題があった。

【0023】また、各バンクがそれぞれ複数のサブアレイからなる従来のマルチバンク構成のDRAMにおいても、不良が偏在した場合に備えて各バンクのサブアレイ毎に独立のスペアエレメントを持たせているので、スペアエレメント数の増加が面積効率を落とすという問題があった。

【0024】また、従来のマルチバンク構成のDRAMは、素子の微細化が進むにつれて、置換単位であるスペアエレメントの境界を欠陥がまたぐ状況が増えてくると、フューズセットが不足するという問題があった。

【0025】本発明は上記の問題点を解決すべくなされたもので、メモリセルアレイの近年の細分化された複数の単位にそれぞれ対応して設けられるスペアエレメント数を減らした場合でも、セルアレイ全体で欠陥が偏った場合に対処でき、救済率と救済自由度を維持しながら総スペアエレメント数を減少させてチップ上の冗長回路の面積効率を向上させることに寄与し得る半導体記憶装置を提供することを目的とする。

【0026】また、本発明の他の目的は、各バンクのサブアレイ毎に持たせたスペアエレメントを同一バンク内で共用でき、セルアレイ全体で欠陥が偏った場合に対処でき、救済率と救済自由度を維持しながら総スペアエレメント数を減少させてチップ上の冗長回路の面積効率を向上させることに寄与し得る半導体記憶装置を提供することにある。

【0027】また、本発明の他の目的は、1つのフューズセットで複数のスペアエレメントの置換を受け持つことができるようにし、幅の大きな欠陥に対処する際のフューズセットの消費を抑制でき、占有面積が大きなフューズセットを増加させずに高い良品率を得る半導体記憶装置を提供することにある。

【0028】

【課題を解決するための手段】本発明の第1の半導体記

憶装置は、メモリセルアレイの複数の単位にそれぞれ設けられた第1のスペアエレメントと、前記複数の単位とは別に設けられた第2のスペアエレメントと、前記第2のスペアエレメントを前記複数の単位の内の任意の単位に選択的に割り当てる手段とを具備することを特徴とする。

【0029】本発明の第2の半導体記憶装置は、メモリセルアレイが複数の分割されてなる複数のノーマルバンクと、前記メモリセルアレイの不良メモリセルを置き換えるために設けられた1個のスペアバンクに纏められて配置された第1冗長セルアレイと、前記複数のノーマルバンクに対応して設けられた複数の第2冗長セルアレイと、前記各ノーマルバンクに対応して設けられ、入力アドレスにより前記メモリセルアレイの行、列の選択を行う通常のデコードと、前記第1冗長セルアレイを選択駆動する第1のスペアデコードと、前記複数の第2冗長セルアレイを対応して選択駆動する複数の第2のスペアデコードと、前記第1のスペアデコードを駆動制御する第1の置換制御信号を供給する第1の置換制御信号線と、前記複数の第2のスペアデコードを駆動制御する第2の置換制御信号を供給する第2の置換制御信号線と、不良メモリセルのアドレスおよび前記第1冗長セルアレイあるいは第2冗長セルアレイとの対応関係情報を予め記憶しておき、前記記憶された不良メモリセルのアドレスと入力アドレスとの一致検出結果および前記第1冗長セルアレイあるいは第2冗長セルアレイとの対応関係情報に基づいて前記第1の置換制御信号あるいは第2の置換制御信号を選択的に出力する複数の第1の記憶回路と、前記第1の置換制御信号線および第2の置換制御信号線のいずれかが活性状態の時に前記ノーマルデコードを非活性状態に制御する制御回路とを具備することを特徴とする。

【0030】本発明の第3の半導体記憶装置は、メモリセルアレイが複数の分割されてなる複数のノーマルバンクと、前記メモリセルアレイの不良メモリセルを置き換えるために設けられた複数のスペアバンクに配置された複数の第1冗長セルアレイと、前記複数のノーマルバンクに対応して設けられた複数の第2冗長セルアレイと、前記各ノーマルバンクに対応して設けられ、入力アドレスにより前記メモリセルアレイの行、列の選択を行う通常のデコードと、前記複数の第1冗長セルアレイを対応して選択駆動する複数の第1のスペアデコードと、前記複数の第2冗長セルアレイを対応して選択駆動する複数の第2のスペアデコードと、前記複数の第1のスペアデコードを一括的に駆動制御する第1の置換制御信号を供給する複数の第1の置換制御信号線と、前記複数の第2のスペアデコードを駆動制御する第2の置換制御信号を供給する第2の置換制御信号線と、不良メモリセルのアドレスおよび前記複数の第1冗長セルアレイあるいは第2冗長セルアレイとの対応関係情報を予め記憶してお

き、前記記憶された不良メモリセルのアドレスと入力アドレスとの一致検出結果および前記複数の第1冗長セルアレイあるいは第2冗長セルアレイとの対応関係情報に基づいて前記第1の置換制御信号あるいは第2の置換制御信号を選択的に出力する複数の第1の記憶回路と、前記複数の第1の置換制御信号線および第2の置換制御信号線のいずれかが活性状態の時に前記通常のデコードを非活性状態に制御する制御回路とを具備することを特徴とする。

【0031】本発明の第4の半導体記憶装置は、メモリセルアレイが複数の分割されてなる複数のノーマルバンクと、前記メモリセルアレイの不良メモリセルを置き換えるために設けられた1個のスペアバンクに纏められて配置された複数の第1冗長セルアレイと、前記複数のノーマルバンクに対応して設けられた複数の第2冗長セルアレイと、前記各ノーマルバンクに対応して設けられ、入力アドレスにより前記メモリセルアレイの行、列の選択を行う通常のデコードと、前記複数の第1冗長セルアレイを対応して選択駆動する複数の第1のスペアデコードと、前記複数の第2冗長セルアレイを対応して選択駆動する複数の第2のスペアデコードと、前記複数の第1のスペアデコードを対応して駆動制御する第1の置換制御信号を供給する複数の第1の置換制御信号線と、前記複数の第2のスペアデコードを駆動制御する第2の置換制御信号を供給する第2の置換制御信号線と、前記複数の第1の置換制御信号線に対応して設けられ、不良メモリセルのアドレスを予め記憶する第1の記憶手段を備え、前記第1の記憶手段に記憶された不良メモリセルのアドレスと入力アドレスとの一致検出結果に基づいて対応する第1の置換制御信号線に前記第1の置換制御信号を選択的に出力する複数の第1の記憶回路と、前記不良メモリセルのアドレスおよび前記複数の第2冗長セルアレイとの対応関係情報を予め記憶する第2の記憶手段を備え、前記第2の記憶手段に記憶された不良メモリセルのアドレスと入力アドレスとの一致検出結果および前記複数の第2冗長セルアレイとの対応関係情報に基づいて前記第2の置換制御信号線に前記第2の置換制御信号を選択的に出力する複数の第2の記憶回路と、前記複数の第1の置換制御信号線および第2の置換制御信号線のいずれか1本が活性状態の時に前記通常のデコードを非活性状態に制御する制御回路とを具備することを特徴とする。

【0032】本発明の第5の半導体記憶装置は、メモリセルアレイが複数の分割されてなり、それぞれ複数のサブアレイからなる複数のメモリバンクと、前記各サブアレイにそれぞれ設けられ、不良メモリセルと置き換えられる複数のスペアエレメントと、前記各サブアレイに対応して設けられ、入力アドレスにより前記サブアレイの行選択を行う複数のノーマルデコードと、前記各サブアレイに対応して設けられ、前記複数のスペアエレメント

を対応して駆動する複数のスベアデコードと、前記複数のメモリバンクを選択指定する複数のバンク選択線と、前記複数のメモリバンクを構成するそれぞれ複数のサブアレイからなる各組に対応して設けられ、各組のサブアレイに対応して設けられた前記ノーマルデコードおよびスベアデコードのうちのノーマルデコードを選択指定する複数のノーマルデコード制御線と、前記複数のメモリバンクを構成するそれぞれ複数のサブアレイからなる各組に対応して設けられ、各組のサブアレイに対応して設けられた前記ノーマルデコードおよびスベアデコードのうちのスベアデコードを選択指定する複数のスベアデコード制御線と、前記各サブアレイにおける複数のスベアデコードを一括的に選択制御する複数のスベアデコード選択線と、前記各サブアレイにおけるスベアエレメントを同一バンクに属する他のサブアレイに選択的に割り当てる割り当て手段とを具備することを特徴とする。

【0033】前記第5の半導体記憶装置における割り当て手段の一例は、不良メモリセルのアドレスおよび前記不良メモリセルのアドレスと1対1に対応させた前記スベアデコードとの関係情報を予め記憶しておき、入力アドレスと前記記憶した不良メモリセルのアドレスとを比較し、一致検出時に前記複数のスベアデコード制御線を選択的に活性化させる信号を出力するとともに、前記記憶した前記不良メモリセルのアドレスとスベアデコードとの関係情報に基づいて前記複数のスベアデコード選択線を選択的に活性化させる信号を出力し、不一致検出時には前記複数のノーマルデコード制御線を選択的に活性化させる信号を出力する複数の記憶回路を具備することを特徴とする。

【0034】前記第5の半導体記憶装置における割り当て手段の一例における各記憶回路は、前記不良メモリセルのアドレスを記憶する第1の記憶手段と、前記複数のメモリバンクを構成する複数組のサブアレイとの対応関係情報を記憶する第2の記憶手段と、前記複数のスベアデコードとの対応関係情報を記憶する第3の記憶手段と、前記第1の記憶手段の記憶情報と入力アドレスとを比較する比較回路と、前記比較回路の比較出力および前記第2の記憶手段の記憶情報に基づいて前記複数のスベアデコード制御線のいずれかを活性化させる信号を出力する第1の出力回路と、前記複数のスベアデコード制御線のいずれかを活性化させる際には前記第3の記憶手段の記憶情報に基づいて前記複数のスベアデコード選択線を選択的に活性化させる信号を出力する第2の出力回路と、前記比較回路の比較出力および入力アドレスに基づいて前記複数のノーマルデコード制御線のいずれかを活性化させる信号を出力する第3の出力回路を具備することを特徴とする。

【0035】前記第5の半導体記憶装置における割り当て手段の他の例は、不良メモリセルのアドレスを予め記憶しておき、入力アドレスと前記記憶された不良メモリ

セルのアドレスとを比較し、一致検出時には前記複数のスベアデコード制御線を選択的に活性化させる信号を出力し、不一致検出時には前記複数のノーマルデコード制御線を活性化させる信号を出力する記憶回路を具備することを特徴とする。

【0036】前記第5の半導体記憶装置における割り当て手段の他の例における記憶回路は、対応するスベアデコードを1つのみ持ち、前記不良メモリセルのアドレスを記憶する第1の記憶手段と、前記複数のメモリバンクを構成する複数組のサブアレイとの対応関係情報を記憶する第2の記憶手段と、前記第1の記憶手段の記憶情報と入力アドレスとを比較する比較回路と、前記比較回路の比較出力および前記第2の記憶手段の記憶情報に基づいて前記複数のスベアデコード制御線のいずれかを活性化させる信号を出力する第1の出力回路と、前記複数のスベアデコード制御線のいずれかを活性化させる際には前記対応するスベアデコードを活性化させる信号を出力する第2の出力回路と、前記比較回路の比較出力および入力アドレスの所定のビット信号に基づいて前記複数のノーマルデコード制御線のいずれかを活性化させる信号を出力する第3の出力回路を具備することを特徴とする。

【0037】前記第5の半導体記憶装置におけるサブアレイの一例は、ワード線、スベアワード線、ビット線およびこれらの各交差部に対応して配置されたメモリセルからなるサブセルアレイ部と、前記サブセルアレイ部の両側に配置され、イコライズ信号により制御されて前記ビット線対をビット線イコライズ電位にイコライズする複数のイコライズ回路および選択されたロウのメモリセルからビット線に読み出されたデータをセンス増幅する複数のセンスアンプを含むイコライズ回路・センスアンプ列と、前記バンク選択線および前記ノーマルデコード制御線および前記スベアデコード制御線の信号が入力し、バンク活性化開始時には同じバンクの全てのサブアレイに対応するイコライズ回路をイコライズ解除状態に制御してセンスアンプを一旦は活性準備状態に制御し、前記複数のノーマルデコード制御線および複数のスベアデコード制御線のいずれか1本が活性化されることにより活性化すべきサブアレイについては対応するイコライズ回路をイコライズ解除状態のままに制御してセンスアンプを活性準備状態に維持したまま、残りの非活性化すべきサブアレイについては対応するイコライズ回路をイコライズ状態に戻してセンスアンプを非活性状態に戻す制御回路とを具備することを特徴とする。

【0038】前記第5の半導体記憶装置におけるサブアレイの他の例は、ワード線、スベアワード線、ビット線およびこれらの各交差部に対応して配置されたメモリセルからなるサブセルアレイ部と、前記サブセルアレイ部の両側に配置され、イコライズ信号により制御されて前記ビット線対をビット線イコライズ電位にイコライズ

する複数のイコライズ回路と、隣接するサブアレイ間に配置されて隣接するサブアレイ間で共用される複数のビット線センスアンプを含むセンスアンプ列と各ビット線対との間にそれぞれ接続されたアレイ選択スイッチと、前記バンク選択線および前記ノーマルデコード制御線および前記スベアデコード制御線の信号が入力し、バンク活性化開始時には同じバンクの全てのサブアレイに対応する前記イコライズ回路をイコライズ解除状態に制御するとともに前記アレイ選択スイッチを接続解除状態にしてセンスアンプを一旦は活性準備状態に制御し、前記複数のノーマルデコード制御線および複数のスベアデコード制御線のいずれか1本が活性化されることにより、活性化すべきサブアレイについては対応する前記イコライズ回路をイコライズ解除状態に維持するとともに隣接するサブセルアレイのアレイ選択スイッチを接続解除状態に制御してセンスアンプを活性準備状態に維持したまま、残りの非活性化すべきサブアレイについては対応する前記イコライズ回路をイコライズ状態に制御するとともに前記アレイ選択スイッチを接続状態に制御してセンスアンプを非活性状態に戻す制御回路とを具備することを特徴とする。

【0039】前記第5の半導体記憶装置のサブアレイにおける制御回路は、前記バンク選択線の信号が入力し、その前縁に同期して時間幅が短縮されたパルス信号を生成する第1の回路と、前記第1の回路の出力信号がゲートに入力する第1のNMOSTランジスタと、前記第1のNMOSTランジスタのドレインと電源ノードとの間に接続され、ゲートに前記バンク選択線の信号が入力するPMOSTランジスタと、前記第1のNMOSTランジスタのソースと接地ノードとの間に接続され、ゲートに前記ノーマルデコード制御線の信号が入力する第2のNMOSTランジスタと、前記第1のNMOSTランジスタのソースと接地ノードとの間に接続され、ゲートに前記スベアデコード制御線の信号が入力する第3のNMOSTランジスタと、前記第1のNMOSTランジスタのドレイン電位をラッチするラッチ回路と、前記ラッチ回路の出力信号および前記バンク選択線からの入力信号の論理処理を行い、前記イコライズ回路のイコライズ制御信号を出力する論理ゲートとを具備することを特徴とする。

【0040】本発明の第6の半導体記憶装置は、メモリセルアレイが複数の分割されたメモリバンクと、前記各メモリバンクにそれぞれ設けられ、不良メモリセルと置き換えられる複数のスベアエレメントと、前記各メモリバンクに対応して設けられ、入力アドレスにより前記メモリバンクの行選択を行う複数のノーマルデコードと、前記各メモリバンクに対応して設けられ、前記複数のスベアエレメントを対応して駆動する複数のスベアデコードと、前記複数のメモリバンクを選択指定する複数のバンク選択線と、前記ノーマルデコードおよびスベアデコ

ードのうちのスベアデコードを選択指定するためのスベアデコード制御線と、前記各メモリバンクにおける複数のスベアデコードを択一的に選択制御する複数のスベアデコード選択線と、前記スベアエレメントの総数より少ない数だけ設けられ、前記スベアエレメントの1つまたは複数のを任意に選択して不良メモリセルと置換させる割り当て手段を具備することを特徴とする。

【0041】前記第6の半導体記憶装置における割り当て手段は、1つまたは複数の不良メモリセルのアドレスおよび前記不良メモリセルのアドレスと1対1に対応させた前記スベアデコードとの関係情報を予め記憶しておき、入力アドレスと前記記憶した1つまたは複数の不良メモリセルのアドレスとを比較し、一致検出時／不一致検出時に対応して前記スベアデコード制御線を活性化／非活性化する信号を出力し、一致検出時には前記記憶した前記不良メモリセルのアドレスとスベアデコードとの関係情報に基づいて前記複数のスベアデコード選択線を選択的に活性化する信号を出力する記憶回路を具備することを特徴とする。

【0042】前記第6の半導体記憶装置における記憶回路は、前記不良メモリセルのアドレスを1つまたは複数記憶する第1の記憶手段と、前記第1の記憶手段の情報と入力アドレスとを比較する比較回路と、前記比較回路による一致検出時の出力に基づいて前記スベアデコード制御線を活性化する信号を出力する第1の出力回路と、前記複数のスベアデコードと前記不良メモリセルのアドレスとの1対1の対応関係情報を記憶する第2の記憶手段と、前記スベアデコード制御線を活性化する際には前記第2の記憶手段の情報および置換に用いるアドレスの少なくとも最下位ビット信号に基づいて前記複数のスベアデコード選択線を選択的に活性化する信号を出力する第2の出力回路とを具備することを特徴とする。

【0043】前記第6の半導体記憶装置において、前記第1の記憶手段が記憶する複数の不良メモリセルのアドレスは、置換に用いるアドレスの最下位ビットのみまたは前記最下位ビットおよびその上位の1ビットからなる2ビットのみが相異なる2種類乃至4種類のアドレスとし、前記相異なる1ビットまたは2ビットのアドレスビットを前記第2の出力回路の入力に含有させることが可能である。

【0044】この場合、前記第1の記憶手段は、前記不良メモリセルの置換に用いるアドレスの最下位ビット信号、その反転信号および前記最下位ビットより上位の各ビットデータを切断／非切断状態に対応させて記憶する複数の第1のフューズ素子を備え、前記第2の記憶手段は、前記複数のスベアデコードとの対応関係を表わすエンコードデータのうちの最下位ビット以外の各ビットデータを切断／非切断状態に対応させて記憶する第2のフューズ素子を備え、前記第1の出力回路は、前記置換に用いるアドレスの最下位ビット信号およびその反転信号

とそれに対応する前記第1の記憶手段の記憶データとを比較する第1の比較回路と、前記アドレスの最下位ビットより上位の各ビットデータとそれに対応する前記第1の記憶手段の記憶データとを比較する第2の比較回路と、前記第1の比較回路の比較出力と第2の比較回路の比較出力との論理処理を行って前記スペアデコード制御線を活性化する信号を出力する第1のアンドゲートとを備え、前記第2の出力回路は、前記アドレスの最下位ビットデータと前記第2の記憶手段の記憶データとが入力し、それをデコードして前記複数のスペアデコード選択線を選択的に活性化させるデコードであることを特徴とする。

【0045】また、前記第6の半導体記憶装置において、前記第1の記憶手段は、前記不良メモリセルの置換に用いるアドレスの最下位ビット信号、その反転信号および前記最下位ビットより上位の各ビットデータを切断／非切断状態に対応させて記憶する複数の第1のフューズ素子を備え、前記第2の記憶手段は、前記複数のスペアデコードとの対応関係を表わすエンコードデータの各ビットデータを切断／非切断状態に対応させて記憶する第2のフューズ素子を備え、前記第1の出力回路は、前記置換に用いるアドレスの最下位ビット信号およびその反転信号とそれらに対応する前記第1の記憶手段の記憶データとを比較する第1の比較回路と、前記アドレスの最下位ビットより上位の各ビットデータとそれに対応する前記第1の記憶手段の記憶データとを比較する第2の比較回路と、前記第1の比較回路の比較出力と第2の比較回路の比較出力との論理処理を行って前記スペアデコード制御線を活性化する信号を出力する第1のアンドゲートとを備え、前記第2の出力回路は、前記第2の記憶手段に記憶されたエンコードデータまたはその最下位ビットデータが前記アドレスの最下位ビットデータに切り換えられたエンコードデータが入力し、それをデコードして前記複数のスペアデコード選択線を選択的に活性化させるデコードであることを特徴とする。

【0046】また、前記第6の半導体記憶装置において

$$P_{\lambda}(n) = \frac{\lambda^n \exp(-\lambda)}{n!} \quad \dots\dots(1)$$

【0051】上式(1)は、チップ上のメモリセルの欠陥の平均数が λ 個である場合に、欠陥が n 個存在する確率を示す。

【0052】欠陥1つをスペアエレメント1つで救済で

$$S_{\lambda}(R) = \sum_{n=0}^R P_{\lambda}(n) \quad \dots\dots(2)$$

【0054】ここで、メモリセルの平均欠陥数が2.0と想定して95%以上の救済率を欲するとすると、

$$S_{2.0}(28) = 0.966$$

【0056】となり、28個のスペアエレメントを用意すればよいことになる。

て、前記第1の記憶手段は、前記不良メモリセルの置換に用いるアドレスの最下位から2ビットの信号、それらの反転信号、およびそれらより上位の各ビットデータを切断／非切断状態に対応させて記憶する複数の第1のフューズ素子を備え、前記第2の記憶手段は、前記複数のスペアデコードとの対応関係を表わすエンコードデータの各ビットデータを切断／非切断状態に対応させて記憶する第2のフューズ素子を備え、前記第1の出力回路は、前記置換に用いるアドレスの最下位から2ビットの信号およびそれらの反転信号とそれらに対応する前記第1の記憶手段の記憶データとを比較する第1の比較回路と、前記アドレスの最下位から2ビットより上位の各ビットデータとそれに対応する前記第1の記憶手段の記憶データとを比較する第2の比較回路と、前記第1の比較回路の比較出力と第2の比較回路の比較出力との論理処理を行って前記スペアデコード制御線を活性化する信号を出力する第1のアンドゲートを備え、前記第2の出力回路は、前記第2の記憶手段に記憶されたエンコードデータまたはその最下位から2ビットのデータのうちの少なくとも1ビットが前記アドレスの対応するビットデータに切り換えられたエンコードデータが入力し、それをデコードして前記複数のスペアデコード選択線を選択的に活性化させるデコードであることを特徴とする。

【0047】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。

【0048】＜第1の実施の形態＞まず、第1の実施の形態に係る冗長回路を備えたマルチバンク構成のDRAMにおける不良メモリセルの救済について概要を説明する。

【0049】簡単のため、DRAMチップ上のマルチバンク構成のメモリセルアレイにおけるメモリセルの欠陥の分布がポワソン分布に従うと仮定する。

【0050】

【数1】

きることにすると、 R 個のスペアエレメントがチップ上にあれば、次式に示す救済率を得ることができる。

【0053】

【数2】

【0055】

【数3】

.....(3)

【0057】上記したような仮定に基づいて28個のフューズセットを備えるものとするが、16バンクに救済

単位が分かれている場合には用意すべきスペアエレメントの総数は増える。つまり、

$$\left\{S_{\frac{20}{16}}(8)\right\}^{16} = 0.998, \quad \left\{S_{\frac{20}{16}}(4)\right\}^{16} = 0.864 \quad \dots(4)$$

【0059】となり、各バンクに8スペアエレメントが必要ということになる。

【0060】第1の実施の形態では、図1に示すように、メモリセルアレイの複数の単位（本例では16個のノーマルバンクBANK0～BANK15）にそれぞれ設けられた第1のスペアエレメントと、前記16個のノーマルバンクBANK0～BANK15とは別のスペアバンクBANKSPに設けられた第2のスペアエレメント（例えば4個のスペアエレメント）と、前記第2のスペアエレメントを前記16個のノーマルバンクBANK0～BANK15の内の任意のバンクに選択的に割り当てる手段とを具備する。

【0061】ここで、16個のバンクBANK0～BANK15のそれぞれに例えば4個のスペアエレメントを用意しておき、その他に各バンクで共用（但し、どのバンクに適用

$$\left\{S_{\frac{20}{16}}(8) - S_{\frac{20}{16}}(4)\right\} \cdot 16 \cdot \left\{S_{\frac{20}{16}}(4)\right\}^{15} = 0.127 \quad \dots(5)$$

【0065】である。

【0066】また、メモリセルの不良数が5個以上8個以下のバンクが2つある確率は、

$$\left\{S_{\frac{20}{16}}(8) - S_{\frac{20}{16}}(4)\right\}^2 \cdot 120 \cdot \left\{S_{\frac{20}{16}}(4)\right\}^{14} = 0.009 \quad \dots(6)$$

【0068】である。この確率は少ないので、各バンク共通のスペアエレメントを4個用意しておき、メモリセ

$$0.864 + 0.127 = 0.991$$

の救済率を得ることができる。

【0069】図1は、第1の実施の形態に係るマルチバンク構成のDRAMの要部の構成を概略的に示している。ここでは、不良メモリセルの救済を行う冗長回路として、不良メモリセルをロウ単位で救済するロウスペアを備え、カラム単位で救済するカラムスペアは備えない場合を例にとる。

【0070】メモリセルアレイ全体は、16個に分割されたバンク（ノーマルバンク）BANK0～BANK15と、1個のスペアバンクBANKBPを有する。各ノーマルバンクBANK0～BANK15は、4個のスペアエレメント（分散スペア）を備えており、256個の通常のロウデコード（ノーマルロウデコード）NRD0～NRD255と、前記4個のスペアエレメントに対応して4個のスペアロウデコードSRD0～SRD3とを備えており、1つのノーマルロウデコードが4本のノーマルワード線WL、1つのスペアロウデコードが4本のスペアワード線SWLを受け持っている。上記ロウデコードNRD0～NRD255は、ロウアドレスRAをデコードし、ノーマルワード線WLの選択を行うものである。

【0071】前記1個のスペアバンクBANKBPには、上記各バンクBANK0～BANK15を越えて共通に使用し得る4個のスペアエレメント（共用スペア）が集中配置されてお

【0058】

【数4】

するかを記憶させる手段を持つ）可能な例えば4個のスペアエレメントを備える構成を考える。

【0062】このように、救済単位である各バンクに備えるスペアエレメント数を減らし、別に少数のスペアエレメントを用意しておき、これを多数のバンク中のある1つ乃至少数の任意のバンクにあてがうことにより、メモリセルの欠陥が偏った場合に対処できるようにする。

【0063】即ち、16バンクBANK0～BANK15中の15バンクはメモリセルの不良数（欠陥数）が4以内であって、残りの1個のバンクだけメモリセルの不良数を5個以上8個以下持つ確率は、

【0064】

【数5】

【0067】

【数6】

ルの不良が偏って多い1つのバンクに対応するようにしておけば、

…(7)

り、前記4個のスペアエレメントに対応して4個のスペアロウデコードSRD0～SRD3が設けられている。そして、選択されたスペアロウデコードSRD0～SRD3は、その選択状態をラッチし、次にプリチャージ命令がくるまで保持し得るように構成されている。

【0072】カラムデコードCDは、カラムアドレスACをデコードし、ノーマルバンクBANK0～BANK15、スペアバンクBANKBPのカラム選択を行うものである。

【0073】図2は、図1中のノーマルバンクBANK0～BANK15のうちの1個を代表的に示している。

【0074】図2に示すバンクは、ロウ方向に配置されたワード線WL_i、スペアワード線SWL_i、これらと直交するカラム方向に配置されたビット線対BL_i、bBL_iおよび各交差部に対応して配置（マトリクス配置）されたメモリセルMCからなるサブセルアレイ部21と、このサブセルアレイ部21の両側に配置され、選択されたロウのメモリセルMCからビット線BL_iあるいはbBL_iに読み出されたデータをセンスアンプにより増幅し、カラムデコード（図示せず）により選択されるカラムスイッチを介してデータを出力するセンスアンプ列22とを有する。

【0075】各ノーマルバンクBANK0～BANK15は、前述

したように、256個のノーマルロウデコーダNRD0～NRD255と、4個のスペアロウデコーダSRD0～SRD3とを備え、1つのノーマルロウデコーダが4本のワード線WL、1つのスペアロウデコーダが4本のスペアワード線SWLを受け持っている。本例では、1つのバンク内に、4本×256＝1024本のワード線WLと、4本×4＝16本のスペアワード線SWLと、2048対のビット線対BL/bBLが存在する例を示している。

【0076】なお、上記したように1つのロウデコーダが4本のワード線WLを受け持つ形式に限らず、別の形式を採用することも可能である。また、センスアンプ列22は、隣接するバンク間で共有する形式のものであってもよく、バンク毎に独立したものであってもよい。

【0077】図1において、さらに、置換を制御するために、不良メモセルのアドレスを記憶する不揮発性記憶回路として、セルアレイ全体での平均欠陥数（本例では20を想定している）を十分上回る28個のフューズセットFS0～FS27が設けられている。各フューズセットFS0～FS27の出力信号線として、2本の置換制御信号線RWLON1、RWLON2および4本のスペアロウデコーダ選択線SRDact0～SRDact3が接続されている。

【0078】上記第1の置換制御信号線RWLON1の信号は、ノーマルバンクBANK0～BANK15の各4個のスペアロウデコーダSRD0～SRD3を選択制御する。第2の置換制御信号線RWLON2の信号は、スペアバンクBANKBPの4個のスペアロウデコーダSRD0～SRD3を選択制御する。

【0079】また、前記4本のスペアロウデコーダ選択線SRDact0～SRDact3の信号は、全バンクBANK0～BANK15、BANKBPの各4個のスペアロウデコーダSRD0～SRD3のどれを選択するかを指定するために使用される。

【0080】そして、各ノーマルバンクBANK0～BANK15の256個のノーマルロウデコーダNRD0～NRD255は、それぞれ前記2本の置換制御信号線RWLON1、RWLON2の信号がノアゲートNORを介して活性／非活性制御信号として供給されており、2本の置換制御信号線RWLON1、RWLON2のどちらも非活性状態（“L”レベル）の時には駆動され、2本の置換制御信号線RWLON1、RWLON2のどちらかが活性状態（“H”レベル）の時には駆動されなくなる。

【0081】なお、前記バンクBANK0～BANK15は連続して活性化され得るように構成されており、あるバンクが活性化された後、再びプリチャージされる（待機状態になる）よりも前に別のバンクがアクセスされることもあり得る。つまり、選択されたバンクのロウデコーダNRD0～NRD255、スペアロウデコーダSRD0～SRD3は、その選択状態をラッチし、次にプリチャージ命令がくるまで保持し得るように構成されている。

【0082】その具体例としては、各バンクBANK0～BANK15に対応して16本のバンクアクティブ線BACT0～BACT15（図示せず）が設けられている。これらのバンクアクティブ線BACT0～BACT15は、対応するバンクを選択し

て活性化する期間は“H”、それ以外の期間に“L”になる。そして、選択したバンクに対応するロウデコーダ（ノーマルロウデコーダあるいはスペアロウデコーダ）の選択状態をラッチし、当該バンクに対するプリチャージ命令がくるまで選択状態を保持し得るように構成されている。即ち、選択したバンクにおけるロウデコーダNRD0～NRD255および4個のスペアロウデコーダSRD0～SRD3のうち、異バンク間アクセス間隔に対応したパルスが与えられるアドレス線ARの信号などにより選択したロウデコーダを、当該バンクに対するプリチャージ命令がくるまでオンしておくことが可能になっている。

【0083】図3は、図1中のフューズセットFS0～FS27のうちの1個を代表的に取り出して具体的な構成例を示している。

【0084】図3に示すフューズセットにおいて、16本のフューズf1～f16の内の12本のフューズf1～f12は、メモセルの不良アドレスを指定する情報（どのバンクであるかも含めた情報）を記憶するものである。上記12本のフューズf1～f12の内、8本のフューズf1～f8は、バンク内の256個のロウデコーダとの対応関係を指定し、残りの4本のフューズf9～f12は、16個のバンクBANK0～BANK15を選択する情報を記憶する。

【0085】フューズf13は、ノーマルバンクBANK0～BANK15中のスペアエレメントを選択するイネーブルフューズであり、フューズf14はスペアバンクBANKBP中のスペアエレメントを選択するイネーブルフューズであり、残りの2本のフューズf15、f16は、ノーマルバンクBANK0～BANK15およびスペアバンクBANKBP内の4個のスペアロウデコーダSRD0～SRD3のどれに対応させるかを指定する情報を記憶するものである。

【0086】この場合、本例のDRAMにおいてはバンクの連続アクセスがあり得るから、1個のスペアバンクBANKBPで複数のノーマルバンクBANK0～BANK15のロウ欠陥に対応できないので、スペアバンクBANKBPは、ノーマルバンクBANK0～BANK15のうちのどれか1個と対応づけられることになっており、上記フューズf13、f14はどちらか一方のみが切断されることが許可されている。

【0087】上記各フューズf1～f16は、いずれもプリチャージ用PMOSTランジスタTPと選択用NMOSTランジスタTNと共に電源（Vcc）ノードと接地（Vss）ノードとの間に直列に接続される。

【0088】そして、個々のフューズの記憶情報（フューズデータ）は、PMOSTランジスタTPがオン、NMOSTランジスタTNがオフにされてプリチャージされた後、PMOSTランジスタTPがオフ、NMOSTランジスタTNがオンにされた状態で読み出される。この時、当該フューズが切断されていれば“H”レベルが出力され、当該フューズが切断されていなければ“L”レベルが出力される。

【0089】前記12本のフューズf1～f12から読み出

された（予め記憶されている）フューズデータ（メモリのどのバンクであるかも含めた不良アドレス）および外部から供給される入力アドレスに対応するロウアドレスA0～A7、バンクアドレスB0～B3の各ビット信号は12個の比較回路CMPに入力し、対応するフューズデータの論理レベルとアドレスビットの論理レベルとがそれぞれ比較され、両者の一致検出が行われる。

【0090】そして、12個の比較回路CMPの各出力は第1のアンドゲートAND1に入力し、12個の比較回路CMPの全てで一致が検出された時には第1のアンドゲートAND1の出力が活性状態（“H”）になる。これにより、デコードDec1が活性化され、2本のフューズf15、f16に記憶されているフューズデータC1、C2をデコードし、このデコードDec1の出力側に接続されている4本のスペアロウデコード選択線SRDact0～SRDact3にデコード出力が現われ、ノーマルバンクBANK0～BANK15およびスペアバンクBANKSP内の4個のスペアロウデコードSRD0～SRD3のうちの対応する1個のスペアロウデコードを指定する。

【0091】また、前記第1のアンドゲートAND1の出力およびフューズf13に記憶されているフューズデータが第2のアンドゲートAND2に入力し、第1のアンドゲートAND1の出力およびフューズf14に記憶されているフューズデータが第3のアンドゲートAND3に入力する。上記第2のアンドゲートAND2の出力側には、全てのフューズセットFS0～FS27の第2のアンドゲートAND2の各出力の論理和をとる第1のオアゲートOR1を介して前記第1の置換制御線RWLON1が接続されている。また、第3のアンドゲートAND3の出力側には、全てのフューズセットFS0～FS27の第3のアンドゲートAND3の各出力の論理和をとる第2のオアゲートOR2を介して前記第2の置換制御線RWLON2が接続されている。

【0092】したがって、第1のアンドゲートAND1の出力が活性状態（“H”）になると、2本のフューズf13、f14のどちらが切断されているかに応じて、第2のアンドゲートAND2、第3のアンドゲートAND3の出力のどちらか一方（つまり、置換制御線RWLON1、RWLON2のどちらか一方）が“H”になる。

【0093】これにより、外部からの入力アドレスによって選択されるはずだったノーマルバンクBANK0～BANK15の特定のロウデコードに対応するノアゲートNORの出力が“L”になり、このノアゲートNORの出力により前記特定のロウデコードは非活性化される。

【0094】これと同時に、スペアロウデコード選択線SRDact0～SRDact3のいずれか1本および置換制御線RWLON1の信号により選択されるノーマルバンクBANK0～BANK15内の特定のスペアロウデコード、または、スペアロウデコード選択線SRDact0～SRDact3のいずれか1本および置換制御線RWLON2の信号により選択されるスペアバンクBANKSP内の特定のスペアロウデコードが活性化され

る。

【0095】上述したように第1の実施の形態では、スペアエレメントを集中配置した1個のスペアバンクBANKSPを用意しておき、欠陥数が4を越えるような欠陥が多いノーマルバンクがせいぜい1つしかない場合には、この1個のノーマルバンクに1個のスペアバンクBANKSPを対応させることにより、総スペア数は68（＝4×17バンク）個で済む。

【0096】これに対して、全スペアエレメントを各バンクに分散配置させる従来のDRAMでは、不良数が4を越えるようなバンクがせいぜい1つしかない場合でも、各バンクに8個のスペアエレメントを必要とし、総スペア数を128（＝8×16バンク）個も必要とするので、本例では総スペア数が激減しており、チップの面積効率を著しく向上させることができる。

【0097】＜第2の実施の形態＞セルアレイの欠陥分布によっては不良数が4を越えるようなバンクが複数ある場合でも、チップの面積効率が従来のDRAMよりも向上する範囲内で複数個のスペアバンクを設けることで対応する第2の実施の形態について説明する。

【0098】図4は、第2の実施の形態に係るマルチバンク構成のDRAMの要部の構成を概略的に示している。

【0099】図4に示すDRAMは、図1を参照して前述したDRAMと比べて、次の点で構成および動作が異なり、その他は同じであるので図1中と同一符号を付している。

【0100】（1）2個のスペアバンク（第1のスペアバンクBANKSP1および第2のスペアバンクBANKSP2）が設けられており、各スペアバンクBANKSP1、BANKSP2には4個のスペアエレメント（共用スペア）を備えている。

【0101】（2）各フューズセットFS0a～FS27aには、図3中に示したように第1のオアゲートOR1、第2のオアゲートOR2を介して第1の置換制御線RWLON1、第2の置換制御線RWLON2が接続され、同様に、第3のオアゲート（図示せず）を介して第3の置換制御信号線RWLON3が接続され、さらに、4本のスペアロウデコード選択線SRDact0～SRDact3が接続されている。この場合、第1の置換制御信号線RWLON1の信号は、ノーマルバンクBANK0～BANK15のスペアロウデコードSRD0～SRD3を選択制御し、第2の置換制御信号線RWLON2の信号は、第1のスペアバンクBANKSP1のスペアロウデコードSRD0～SRD3を選択制御し、第3の置換制御信号線RWLON3の信号は、第2のスペアバンクBANKSP2のスペアロウデコードSRD0～SRD3を選択制御するために使用され、4本のスペアロウデコード選択線SRDact0～SRDact3の信号は、それぞれ対応して全バンクBANK0～BANK15、BANKSP1、BANKSP2の4個のスペアロウデコードSRD0～SRD3を指定するために使用される。

【0102】そして、各ノーマルバンクBANK0～BANK15のノーマルロウデコーダNRD0～NRD255は、それぞれ前記3本の置換制御信号線RWLON1、RWLON2、RWLON3の信号がノアゲートNORを介して活性／非活性制御信号として供給されており、3本の置換制御信号線RWLON1、RWLON2、RWLON3のどれも非活性状態（“L”レベル）の時には駆動され、3本の置換制御信号線RWLON1、RWLON2、RWLON3のどれかが活性状態（“H”レベル）の時には駆動されなくなる。

【0103】上記第2の実施の形態のDRAMによれば、基本的には第1の実施の形態のDRAMと同様の効果が得られるほか、セルアレイの欠陥分布によっては不良数が4を越えるようなバンクが複数個ある場合にも、チップの面積効率が従来のDRAMよりも向上する範囲内で救済することが可能になる。

【0104】＜第3の実施の形態＞第1の実施の形態においては、いずれのフューズセットFS0～FS27も、ノーマルバンクBANK0～BANK15のスペアもスペアバンクBANKSPのスペアも選択できるように構成されていたが、スペアバンクBANKSPのスペアエレメントについては1対1に対応したフューズセットを用いるように変更した第3の実施の形態について説明する。

【0105】図5は、第3の実施の形態に係るマルチバンク構成のDRAMの要部の構成を概略的に示している。

【0106】図5に示すDRAMは、図1を参照して前述したDRAMと比べて、28個のフューズセットFS0b～FS27b中、4個のフューズセットFS24b～FS27bはスペアバンクBANKSPの4個のスペアエレメントに対応する4個のスペアロウデコーダSRD0～SRD3に1対1で対応して指定するように割り当てられる。残りの24個のフューズセットFS0b～FS23bは、ノーマルバンクBANK0～BANK15のスペアロウデコーダSRD0～SRD3を指定するように割り当てられる。そして、24個のフューズセットFS0b～FS23bには、オアゲート（図示せず）を介して置換制御線RWLONが接続され、4個のフューズセットFS24b～FS27bには対応して置換制御線RWLON1～RWLON4が接続されている。そして、これらの5本の置換制御線RWLON、RWLON1～RWLON4の信号はノアゲートを介してノーマルバンクBANK0～BANK15のスペアロウデコーダSRD0～SRD3の制御入力としている点が異なり、その他は同じであるので図1中と同一符号を付している。

【0107】この場合、フューズセットFS0b～FS27bは、図4に示したフューズセットFS0～FS27と比べて、スペアバンクBANKSP中のスペアエレメントを選択するインエーブルフューズf14が不要になり、スペアバンクBANKSP用の4個のフューズセットFS24b～FS27bは4個のスペアロウデコーダSRD0～SRD3との対応関係を指定するフューズf15、f16およびそれに対応するフューズデータC1、C2のデコーダDec1が不要になるので、総フューズ数

を減らすことが可能である。

【0108】上記第3の実施の形態のDRAMによれば、基本的には第1の実施の形態のDRAMと同様の効果が得られるほか、フューズセットFS0b～FS27bの総フューズ数を減らすことが可能になる。

【0109】＜第1～第3の実施の形態バンクの変形例＞図6は、図2を参照して前述したバンクの変形例の一部を詳しく示している。

【0110】このバンクは、サブセルアレイ部61とイコライズ回路・センスアンプ列62を有する。イコライズ回路・センスアンプ列62は、サブセルアレイ部61の両側に配置されており、イコライズ信号EQLにより制御されてビット線対BL/bBLをビット線イコライズ電位VBLEQにプリチャージ・イコライズするための複数のイコライズ回路PREQおよび選択されたロウのメモリセルMCからビット線BLあるいはbBLに読み出されたデータをセンス増幅する複数のセンスアンプSAを含む。

【0111】上記センスアンプSAは、前記カラムデコーダCDから出力するカラム選択信号により制御されるカラムスイッチ（図示せず）を介してデータ線（図示せず）との間でデータを授受する。さらに、上記イコライズ回路・センスアンプ列62を制御するために、イコライズ信号生成回路を含むセンスアンプ制御回路（図示せず）がバンクに設けられている。

【0112】上記センスアンプ制御回路は、対応するバンクを活性化するためのバンクアクティブ信号が供給された時（バンク活性化命令時）には、対応するバンクに対してビット線イコライズを解除してワード線選択を待機する状態にする。

【0113】そして、フューズセットFS0～FS27によるノーマルロウデコーダの選択／スペアロウデコーダの選択の判定を待った後、対応するバンクのビット線イコライズの解除状態を継続するように制御する。

【0114】なお、前記第1～第3の実施の形態では、不良ワード線の置換を行う場合を説明したが、不良カラム選択線（不良ビット線）の置き換えを行う場合にも、前記第1～第3の実施の形態に準じて適用することが可能である。

【0115】＜第4の実施の形態＞図7は、第4の実施の形態に係るマルチバンク構成のDRAMの要部の構成を概略的に示している。ここでは、不良メモリセルの救済を行う冗長回路として、不良メモリセルをロウ単位で救済するロウスペアを備え、カラム単位で救済するカラムスペアは備えない場合を例にとる。

【0116】図7に示すDRAMの特徴は、各サブアレイSUBA1-0～SUBA1-7、SUBA2-0～SUBA2-7における複数のスペアエレメントのうちの少なくとも一部を、同一バンクに属する他のサブアレイに選択的に割り当てる割り当て手段を具備する点である。

【0117】この割り当て手段を具備することにより、

あるサブアレイ内の不良ロウを同一バンク内の他のサブアレイ内のロウスペアで置換を可能としている。なお、従来のDRAMでは、あるサブアレイ内の不良ロウを同一サブアレイ内のロウスペアでしか置換することができなかった。

【0118】前記割り当て手段は、次の構成要素を有する。

【0119】即ち、8個のメモリバンクBANK0～BANK7を構成する2組のサブアレイ（SUBA1-0～SUBA1-7）、（SUBA2-0～SUBA2-7）に対応して設けられ、各組のサブアレイを対応して選択指定するための2本のノーマルロウデコード選択制御線SWLONu、SWLONdと、前記各組のサブアレイを対応して選択指定するための2本のスペアデコード選択制御線SWLONu、SWLONdを有する。さらに、不良アドレスの一致検出結果に基づいてスペアデコードSRD0～SRD7を選択的に駆動する際に、予め記憶されたサブアレイの各組との対応関係情報に基づいて前記2本のスペアデコード選択制御線SWLONu、SWLONdを選択的に指定するための信号を出力する機能を有するフューズセットFS0c～FS27cを有する。

【0120】ここで、まず、図7に示すDRAMの概要を説明する。このDRAMは、前記割り当て手段を実現するため、次の（1）～（4）に述べるような構成上の特徴を有する。

【0121】（1）8個のバンクBANK0～BANK7に対応して8本のバンクアクティブ線BACT0～BACT7が設けられており、これらのバンクアクティブ線BACT0～BACT7は、対応するバンクを選択して活性化する期間は“H”になり、それ以外の期間に“L”になる。

【0122】（2）8個のバンクBANK0～BANK7のうちで第1組をなす8個のサブセルアレイ（SUBA1-0～SUBA1-7）におけるノーマルロウデコードNRD0～NRD255には第1のノーマルロウデコード選択制御線NWLONuが接続され、第2組をなす残りの8個のサブセルアレイ（SUBA2-0～SUBA2-7）におけるノーマルロウデコードNRD0～NRD255には第2のノーマルロウデコード選択制御線NWLONdが接続されている。

【0123】（3）8個のバンクBANK0～BANK7のうちで第1組をなす8個のサブセルアレイ（SUBA1-0～SUBA1-7）におけるスペアロウデコードSRD0～SRD7には第1のスペアロウデコード選択制御線SWLONuが接続され、第2組をなす残りの8個のサブセルアレイ（SUBA2-0～SUBA2-7）におけるスペアロウデコードSRD0～SRD7には第2のスペアロウデコード選択制御線SWLONdが接続されている。

【0124】（4）不良メモリセルのアドレスを記憶する不揮発性記憶回路として設けられている28個のフューズセットFS0c～FS27cは、後述するように、アンドゲート（図示せず）を介して前記2本のノーマルロウデコード選択制御線NWLONu、NWLONdに接続され、また、オア

ゲート（図示せず）を介して前記2本のスペアロウデコード選択制御線SWLONu、SWLONdに接続されている。

【0125】（5）各サブアレイSUBA1-0～SUBA1-7、SUBA2-0～SUBA2-7に対応して設けられているセンスアンプ制御回路SACaは、対応するバンクアクティブ線BACT0～BACT7からバンクアクティブ信号が供給された時

（バンク活性化命令時）には、8個のバンクBANK0～BANK7における2組のサブセルアレイ（SUBA1-0～SUBA1-7）、（SUBA2-0～SUBA2-7）に対してそれぞれビット線イコライズを解除してワード線選択を待機する状態にする。

【0126】そして、フューズセットFS0c～FS27cによるノーマルロウデコードの選択/スペアロウデコードの選択の判定を待った後、2組のサブセルアレイ（SUBA1-0～SUBA1-7）、（SUBA2-0～SUBA2-7）のうちで活性化すべき1組のサブセルアレイに対してはビット線イコライズの解除状態を継続し、非活性化状態にすべき1組のサブセルアレイに対してはビット線イコライズ回路のイコライズを再開するように制御する。

【0127】ここで、上記した（1）～（5）の構成による動作を説明する。

【0128】例えばバンクBANK0の第1組に属する1個のサブセルアレイSUBA1-0をアクセスしようとした場合には、バンクBANK0に対応する2つのサブセルアレイSUBA1-0、SUBA2-0にそれぞれ対応するイコライズ回路がオフになる。

【0129】この場合、不良アドレスと外部アドレスとが一致しなかった場合（非置換時）には、フューズセットFS0c～FS27cの出力により前記2本のノーマルロウデコード選択制御線NWLONu、NWLONdのうちの第1のノーマルロウデコード選択制御線NWLONuのみが活性化され、前記バンクBANK0の第1組に属する1個のサブセルアレイSUBA1-0のみがアクセスされ、このサブセルアレイSUBA1-0のノーマルロウデコードNRD0～NRD255のいずれかが外部アドレスに応じて選択される。そして、前記バンクBANK0の第2組に属する1個のサブセルアレイSUBA2-0に対応するイコライズ回路がオンになり、このサブセルアレイSUBA2-0は非活性化状態にされる。

【0130】これに対して、前記不良アドレスと外部アドレスとが一致した場合（置換時）には、フューズセットFS0c～FS27cの出力により前記4本の選択制御線NWLONu、NWLONd、SWLONu、SWLONdのうちの2本のスペアロウデコード選択制御線SWLONu、SWLONdのうちのどちらか1本の選択制御線のみが活性化される。この場合、第1のスペアロウデコード選択制御線SWLONuが活性化されると、前記バンクBANK0の第1組に属する1個のサブセルアレイSUBA1-0内のスペアロウデコードSRD0～SRD7のいずれか1つがフューズセットFS0c～FS27cの出力により選択される。そして、前記バンクBANK0の第2組に属する1個のサブセルアレイSUBA2-0に対応するイコライズ

回路がオンになり、このサブセルアレイSUBA2-0は非活性状態にされる。

【0131】次に、図7に示したDRAMの構成を詳細に説明する。

【0132】メモリアルアレイ全体は、それぞれ2個のサブセルアレイからなる8個のバンクBANK0～BANK7に分割されている。つまり、8個のバンクBANK0～BANK7は、第1組をなす8個のサブセルアレイ（SUBA1-0～SUBA1-7）および第2組をなす8個のサブセルアレイ（SUBA2-0～SUBA2-7）の2組に区別されている。これらのバンクBANK0～BANK7は連続して活性化され得るように構成されており、あるバンクが活性化された後、再びプリチャージされる（待機状態になる）よりも前に別のバンクがアクセスされることもあり得る。

【0133】カラムデコードCDは、カラムアドレスACをデコードし、各サブセルアレイSUBA1-0～SUBA1-7、SUBA2-0～SUBA2-7のカラム選択を行うものである。

【0134】各サブセルアレイSUBA1-0～SUBA1-7、SUBA2-0～SUBA2-7は、図8に示すように、サブセルアレイ部71とイコライズ回路・センスアンプ列72を有する。

【0135】図8において、サブセルアレイ部71は、ロウ方向に配置されたワード線WL、スベアワード線SWL、これらと直交するカラム方向に配置されたビット線対BL/bBLおよび各交差部に対応して配置されたメモリアルセルMCからなる。本例では、1つのノーマルロウデコードが4本のワード線WL、1つのスベアロウデコードが4本のスベアワード線SWLを受け持っており、1つのサブセルアレイ部71内に、4本×256＝1024本のワード線WLと、4本×8＝32本のスベアワード線SWLと、2048対のビット線対BL/bBLが存在する例を示している。

【0136】また、イコライズ回路・センスアンプ列72は、前記サブセルアレイ部71の両側に配置されており、イコライズ信号EQLにより制御されてビット線対BL/bBLをビット線イコライズ電位VBLEQにプリチャージ・イコライズするための複数のイコライズ回路PREQおよび選択されたロウのメモリアルセルMCからビット線BLあるいはbBLに読み出されたデータをセンス増幅する複数のセンスアンプSAを含む。

【0137】上記センスアンプSAは、前記カラムデコードCDから出力するカラム選択信号により制御されるカラムスイッチ（図示せず）を介してデータ線（図示せず）との間でデータを授受する。

【0138】なお、上記したように1つのロウデコードが4本のワード線WLを受け持つ形式に限らず、別の形式を採用することも可能である。

【0139】さらに、各サブセルアレイSUBA1-0～SUBA1-7、SUBA2-0～SUBA2-7に対応して、それぞれ256個のノーマルロウデコードNRD0～NRD255と、8個のスベ

アロウデコードSRD0～SRD7と、サブセルアレイ部の両側に配置されたイコライズ回路・センスアンプ列72を制御するためのセンスアンプ制御回路SACaが設けられている。このセンスアンプ制御回路SACaは、対応するイコライズ回路・センスアンプ列72のイコライズ回路PREQに供給するためのイコライズ信号を生成するイコライズ信号生成回路を含む。

【0140】前記8個のバンクBANK0～BANK7のうちで第1組をなす8個のサブセルアレイ（SUBA1-0～SUBA1-7）におけるノーマルロウデコードNRD0～NRD255には、それを選択制御するための第1のノーマルロウデコード選択制御線NWLOnu（選択時に活性状態“H”レベルになる）が接続されている。

【0141】また、第2組をなす残りの8個のサブセルアレイ（SUBA2-0～SUBA2-7）におけるノーマルロウデコードNRD0～NRD255には、それを選択制御するための第2のノーマルロウデコード選択制御線NWLOnd（選択時に活性状態“H”レベルになる）が接続されている。

【0142】また、前記第1組をなす8個のサブセルアレイ（SUBA1-0～SUBA1-7）におけるスベアロウデコードSRD0～SRD7には、それを選択制御するための第1のスベアロウデコード選択制御線SWLOnu（選択時に活性状態“H”レベルになる）が接続されている。

【0143】また、前記第2組をなす8個のサブセルアレイ（SUBA2-0～SUBA2-7）におけるスベアロウデコードSRD0～SRD7には、それを選択制御するための第2のスベアロウデコード選択制御線SWLOnd（選択時に活性状態“H”レベルになる）が接続されている。

【0144】また、全バンクBANK0～BANK7の各8個のスベアロウデコードSRD0～SRD7には、8個のうちのどの1個を選択するかを指定するための8本のスベアロウデコードアクティブ線SRDact0～SRDact7（選択時に活性状態“H”レベルになる）が接続されている。

【0145】また、前記8個のバンクBANK0～BANK7に対応して8本のバンクアクティブ線BACT0～BACT7が設けられている。これらのバンクアクティブ線BACT0～BACT7は、対応するバンクを選択して活性化する期間中は“H”、それ以外の期間に“L”になる。そして、選択したバンクに対応するロウデコード（ノーマルロウデコードあるいはスベアロウデコード）の選択状態をラッチし、当該バンクに対するプリチャージ命令がくるまで選択状態を保持し得るように構成されている。

【0146】即ち、選択したバンクにおけるロウデコードNRD0～NRD255および8個のスベアロウデコードSRD0～SRD7のうち、異バンク間アクセス間隔に対応したパルスが与えられるアドレス線AR、第1のノーマルロウデコード選択制御線NWLOnu、第2のノーマルロウデコード選択制御線NWLOnd、第1のスベアロウデコード選択制御線SWLOnu、第2のスベアロウデコード選択制御線SWLOnd、8本のスベアロウデコードアクティブ線SRDact0～SRDact

7の各信号により選択したロウデコードを、当該バンクに対するプリチャージ命令がくるまでオンしておくことが可能になっている。

【0147】図9は、図7中のフューズセットFS0c~FS27cのうちの1個を代表的に取り出して具体的な構成例を示している。

【0148】このフューズセットは、次の点に特徴を有する。

【0149】(1) 1本のフューズf17が付加されており、これは、その導通/切断状態に応じて、前記8個のバンクBANK0~BANK7を構成する2組のサブアレイのうちのどちらの組のサブアレイのスペアエレメントを選択するかを指定するために使用される。

【0150】(2) 前記12個の比較回路CMPの出力およびフューズf13の出力が入力する多入力のアンドゲートANDの出力と前記フューズf17の出力は二入力の第1のアンドゲートAND1に入力して論理積がとられる。そして、全てのフューズセットFS0c~FS27cの第1のアンドゲートAND1の各論理積出力は、第1のオアゲートOR1を介して第1のスペアロウデコード選択制御線SWLONuに出力する。また、前記フューズf17の出力がインバータIV1により反転された信号と前記アンドゲートANDの出力は二入力の第2のアンドゲートAND2に入力して論理積がとられる。そして、全てのフューズセットFS0c~FS27cの第2のアンドゲートAND2の各論理積出力は、第2のオアゲートOR2を介して第2のスペアロウデコード選択制御線SWLONdに出力する。

【0151】(3) 前記12個の比較回路CMPの出力およびフューズf13の出力が入力するナンドゲートNANDの出力と、前記8個のバンクBANK0~BANK7を構成する2組のサブアレイのうちのどちらの組のサブアレイを選択するかを指定するためのアドレスビットA8の信号とは、二入力の第3のアンドゲートAND3に入力して論理積がとられる。そして、全てのフューズセットFS0c~FS27cの第3のアンドゲートAND3の各論理積出力は、第5のアンドゲートAND5を介して第1のノーマルロウデコード選択制御線NWLONuに出力する。また、前記アドレスビットA8がインバータIV2により反転された信号と前記ナンドゲートNANDの出力とは、二入力の第4のアンドゲートAND4に入力して論理積がとられる。そして、全てのフューズセットFS0c~FS27cの第4のアンドゲートAND4の各論理積出力は、第6のアンドゲートAND6を介して第2のノーマルロウデコード選択制御線NWLONdに出力する。

【0152】即ち、図9に示すフューズセットにおいて、16本のフューズf1~f16の内の12本のフューズf1~f12は、メモセルの不良アドレスを指定する情報(どのバンクであるかも含めた情報)を記憶するものであり、1本のフューズf13は当該フューズセットを使うか否かを表わすフラグ情報を記憶するものであり、3本のフューズf14~f16はバンク内の8個のスペアロウデ

コードSRD0~SRD7のどれに対応させるかを指定する情報を記憶するものである。

【0153】前記不良アドレス指定情報記憶用の12本のフューズf1~f12の内、8本のフューズf1~f8はバンク内の256個のノーマルロウデコードNRD0~NRD255との対応関係を指定し、残りの4本のフューズf9~f12は16個のサブアレイSUBA1-0~SUBA1-7、SUBA2-0~SUBA2-7を選択するための情報を記憶する。

【0154】上記各フューズf1~f16は、いずれもプリチャージ用PMOSトランジスタTPと選択用NMOSトランジスタTNと共に電源(Vcc)ノードと接地(Vss)ノードとの間に直列に接続される。

【0155】そして、個々のフューズの記憶情報(フューズデータ)は、PMOSトランジスタTPがオン、NMOSトランジスタTNがオフにされてプリチャージされた後、PMOSトランジスタTPがオフ、NMOSトランジスタTNがオンにされた状態で読み出される。この時、当該フューズが切断されていれば“H”レベルが出力され、当該フューズが切断されていなければ“L”レベルが出力される。

【0156】前記12本のフューズf1~f12から読み出されたフューズデータおよびアドレス入力に対応するロウアドレスA0~A7、バンクアドレスB0~B2、ロウアドレスA8の各ビット信号はそれぞれ比較回路CMPに入力している。この比較回路CMPは、パルス信号により比較動作が制御され、フューズデータとアドレス入力とを比較して両者の一致検出を行う。

【0157】前記ロウアドレスA8は、バンクBANK0~BANK7を構成する2組のサブアレイ(図7中、上側の組のサブアレイSUBA1-0~SUBA1-7および下側の組のサブアレイSUBA2-0~SUBA2-7)を区別するために使用される。

【0158】そして、前記ロウアドレスA0~A7、バンクアドレスB0~B2、ロウアドレスA8に対応する12個の比較回路CMPの各検出出力と前記イネーブル情報記憶用フューズf13の出力はアンドゲートANDに入力して論理積がとられる。

【0159】デコーダDECは、上記アンドゲートANDの出力と同相の制御信号SWLON'がデコーダDECに活性/非活性制御信号として入力され、フューズf14~f16の出力データをデコードし、8本のスペアロウデコードアクティブ線SRDact0~SRDact7に出力するものである。

【0160】また、前記ロウアドレスA0~A7、バンクアドレスB0~B2、ロウアドレスA8に対応する12個の比較回路CMPの各検出出力と前記イネーブル情報記憶用フューズf13の出力はナンドゲートNANDに入力して論理和がとられる。

【0161】次に、図9に示したフューズセットにおいて、フューズf13のデータが“H”状態である場合の動作を、図10(a)、(b)を参照しながら説明する。

【0162】アドレス入力A0～A8、B0～B2とフューズf1～f12のデータが一致した（リダンダンシーヒット）時には、アンドゲートANDの出力が一定期間“H”（その他の期間は“L”）になる。

【0163】そして、フューズf17の導通／切断状態に応じて、第1のスペアロウデコード選択制御線SWLONuあるいは第2のスペアロウデコード選択制御線SWLONdが一定期間“H”（その他の期間は“L”）になり、2組のサブアレイ（SUBA1-0～SUBA1-7）、（SUBA2-0～SUBA2-7）のうちの選択された1組のサブアレイのスペアロウデコードSRD0～SRD7の活性化が可能になる。

【0164】この時、制御信号SWLON'によりデコードDECが活性化され、フューズf14～f16のフューズデータに応じて8本のスペアロウデコードアクティブ線SRDact0～SRDact7の内の1本SRDactiを“H”とし、選択サブアレイ内の8個のスペアロウデコードSRD0～SRD7の内の1つを選択する。

【0165】また、前記リダンダンシーヒット時には、ナンドゲートNANDの出力が一定期間“L”（前記アンドゲートANDの出力の論理レベルとは逆）になる（その他の期間は“L”）。この時、ロウアドレスA8の論理レベルに関係なく、第1のノーマルロウデコード選択制御線NWLONuおよび第2のノーマルロウデコード選択制御線NWLONdは“L”であり、選択サブアレイのノーマルロウデコードNRD0～NRD255は非活性状態になる。

【0166】一方、前記アドレス入力とフューズデータが一致しなかった（リダンダンシーミス）時には、ナンドゲートNANDの出力がある期間“H”（その他の期間は“L”）になる。

【0167】そして、ロウアドレスA8の論理レベルに応じて、第1のノーマルロウデコード選択制御線NWLONuあるいは第2のノーマルロウデコード選択制御線NWLONdが一定期間“H”（その他の期間は“L”）になり、2組のサブアレイ（SUBA1-0～SUBA1-7）、（SUBA2-0～SUBA2-7）のうちの選択された1組のサブアレイのノーマルロウデコードNRD0～NRD255がアドレスA0～A7、B0～B2に応じて活性化する。

【0168】また、前記リダンダンシーミス時には、アンドゲートANDの出力は“L”のままである。この時、フューズf17の導通／切断状態に関係なく、第1のスペアロウデコード選択制御線SWLONuおよび第2のスペアロウデコード選択制御線SWLONdは“L”であり、選択サブアレイのスペアロウデコードSRD0～SRD7は非活性状態になる。また、この時、制御信号SWLON'によりデコードDECが非活性化され、8本のスペアロウデコードアクティブ線（スペアデコード選択線）SRDact0～SRDact7は全て“L”レベルになる。

【0169】即ち、各フューズセットFS0c～FS27cは、次の構成要素を有する。

【0170】まず、不良メモリセルのアドレスを記憶す

る第1の記憶手段（フューズf1～f12）と、前記8個のメモリバンクBANK0～BANK7を構成する2組のサブアレイ（SUBA1-0～SUBA1-7）、（SUBA2-0～SUBA2-7）との対応関係情報を記憶する第2の記憶手段（フューズf17）と、8個のスペアロウデコードSRD0～SRD7との対応関係情報を記憶する第3の記憶手段（フューズf14～f16）を有する。

【0171】さらに、前記第1の記憶手段の記憶情報と入力アドレスA0～A8とを比較する比較回路CMPと、この比較回路の比較出力および前記第2の記憶手段の記憶情報に基づいて前記2本のスペアロウデコード制御線SWLONu、SWLONdのいずれかを活性化するための信号を出力する第1の出力回路（AND、AND1、AND2）を有する。

【0172】さらに、前記2本のスペアデコード制御線SWLONu、SWLONdのいずれかを活性化するには前記第3の記憶手段の記憶情報に基づいて前記8本のスペアロウデコード選択線SRDact0～SRDact7を選択的に活性化するための信号を出力する第2の出力回路（DEC）と、前記比較回路の比較出力および入力アドレスA8に基づいて前記2本のノーマルロウデコード制御線NWLONu、NWLONdのいずれかを活性化するための信号を出力する第3の出力回路（NAND、AND3、AND4）を有する。

【0173】図11（a）は、図7中の各サブアレイSUBA1-0～SUBA1-7、SUBA2-0～SUBA2-7に対応してそれぞれ設けられたセンスアンプ制御回路SACaのうち、例えば第1組のサブアレイ（SUBA1-0～SUBA1-7）に属する1個のサブアレイSUBA1-iに対応して設けられたセンスアンプ制御回路SACaを代表的に取り出し、それに含まれるイコライズ信号生成回路EQLGENの一例を示している。

【0174】図11（b）中には、バンクアクティブ信号BACTi、BACTj、BACTk、…が連続的に供給され、BACTiが供給されている期間の途中で次のBACTjの供給が開始している様子を示している。

【0175】図11（a）のイコライズ信号生成回路EQLGENは、入力するバンクアクティブ信号（本例ではBACTi）と逆相のイコライズ信号（EQLi）を生成するものであり、次の構成要素を有する。

【0176】まず、対応するバンクアクティブ線BACT0～BACT7から供給されるバンクアクティブ信号BACTiが入力し、これを一定時間tdだけ遅延させるとともに反転させて出力する遅延ゲート41と、この遅延ゲート41の出力および前記バンクアクティブ信号BACTiが入力する二入力のアンドゲート42を有する。

【0177】さらに、このアンドゲート42の出力信号AAiがゲートに入力する第1のNMOSTランジスタ43と、前記バンクアクティブ信号BACTiがゲートに入力し、電源電位（VCC）ノードと前記第1のNMOSTランジスタ43のドレインとの間に接続された第1のPMOSTランジスタ44と、前記第2組のサブアレイ（SUBA2-0～SUBA2-7）に対応する第2のノーマルロウデコード

選択制御線NWLOWdから供給される第2のノーマルロウデコード選択制御信号がゲートに入力し、前記第1のNMOSTランジスタ43のソースと接地電位(VSS)ノードとの間に接続された第2のNMOSTランジスタ45と、前記第2組のサブアレイ(SUBA2-0～SUBA2-7)に対応する第2のスペアロウデコード選択制御線SWLOWdから供給される第2のスペアロウデコード選択制御信号がゲートに入力し、前記第1のNMOSTランジスタ43のソースと接地電位(VSS)ノードとの間に接続された第3のNMOSTランジスタ46を有する。

【0178】さらに、前記第1のPMOSTランジスタ44および第1のNMOSTランジスタ43のドレイン相互接続ノードに入出力ノードが接続されたラッチ回路47と、このラッチ回路47の出力および前記バンクアクティブ信号BACTiが入力し、前記イコライズ信号EQLiを出力する二入力のナンドゲート48を有する。

【0179】なお、前記遅延ゲート41およびアンドゲート42は、バンクアクティブ信号BACTiの前縁から前記遅延時間tdのバルス幅を有する信号AAiを生成する役割を有する。

【0180】次に、図11(a)のイコライズ信号生成回路EQLGENの動作を、図11(b)を参照しながら説明する。

【0181】例えばバンクBANKiの2組のサブアレイSUBA1-i、SUBA2-iのうちの一方のサブアレイSUBA1-iに対応するバンクアクティブ線BACTiから供給されるバンクアクティブ信号BACTiが“L”から“H”(活性状態)に立ち上がると、これに伴い、ナンドゲート48の出力であるイコライズ信号EQLiは“H”から“L”(活性状態)になる。また、前記バンクアクティブ信号BACTiの立ち上がりに伴い、アンドゲート42の出力信号AAiが“H”になり、第1のNMOSTランジスタ43はオン状態になる。

【0182】また、前記バンクアクティブ信号BACTiの立ち上がりからある遅延時間後(フーズセットFS0c～FS27cによるノーマルロウデコードの選択/スペアロウデコードの選択の判定が行われた後)に、前記4本のロウデコード選択制御線NWLOWu、NWLOWd、SWLOWu、SWLOWdのうちの1本に“H”が出力される。

【0183】この場合、例えば第2組のサブアレイ(SUBA2-0～SUBA2-7)に属するサブアレイSUBA2-iが活性化されるものとすれば、第2組のサブアレイ(SUBA2-0～SUBA2-7)に対応するロウデコード選択制御線NWLOWdあるいはSWLOWdに“H”が出力される。

【0184】これにより、前記第2のNMOSTランジスタ45あるいは第3のNMOSTランジスタ46がオンになり、第1のPMOSTランジスタ44および第1のNMOSTランジスタ43のドレイン相互接続ノードは“L”になり、このレベルがラッチ回路47によりラッチされる。

【0185】これに伴い、ナンドゲート48の出力であるイコライズ信号EQLiは“L”から“H”(非活性状態)になり、第1組のサブアレイ(SUBA1-0～SUBA1-7)に属するサブアレイSUBA1-iが非活性状態になる。

【0186】そして、前記バンクアクティブ信号BACTiが“H”から“L”(非活性状態)に戻ると、第1のPMOSTランジスタ44がオンになり、第1のPMOSTランジスタ44および第1のNMOSTランジスタ43のドレイン相互接続ノードは“H”(VCC)になり、このレベルがラッチ回路47によりラッチされる。

【0187】なお、前記バンクアクティブ信号BACTiが“H”(活性状態)の時に、別のバンクアクティブ線BACT0～BACT7から供給されるバンクアクティブ信号BACTjにより別のバンクのサブアレイが連続的に選択される場合には、図11(b)中に点線で示すように、再び前記4本のロウデコード選択制御線NWLOWu、NWLOWd、SWLOWu、SWLOWdのうちの1本に“H”が出力される。

【0188】なお、第2組のサブアレイ(SUBA2-0～SUBA2-7)に属するサブアレイSUBA2-iに対応して設けられるセンスアンプ制御回路SACaのイコライズ信号生成回路は、図11(a)に示したイコライズ信号生成回路と比べて、第2のNMOSTランジスタ45および第3のNMOSTランジスタ46に、第1組のサブアレイ(SUBA1-0～SUBA1-7)に対応するロウデコード選択制御線NWLOWuおよびSWLOWuから出力される信号が入力される点異なる。

【0189】上記サブアレイSUBA2-iに対応するイコライズ信号生成回路は、ロウデコード選択制御線NWLOWuおよびSWLOWuの“L”レベルがそれぞれ入力した状態では、第2のNMOSTランジスタ45および第3のNMOSTランジスタ46は、それぞれオフ状態のままである。

【0190】したがって、第1のPMOSTランジスタ44および第1のNMOSTランジスタ43のドレイン相互接続ノードは“H”のままであり、ナンドゲート42の出力であるイコライズ信号EQLiは“L”(活性状態)のままである。

【0191】即ち、イコライズ信号生成回路EQLGENは、対応するバンクアクティブ線BACT0～BACT7からバンクアクティブ信号BACTiが供給された時(バンク活性化命令時)には、デコードの確定前に、同一バンクに属する2個のサブセルアレイに対してそれぞれビット線イコライズを解除してワード線選択を待機する状態になる。

【0192】そして、フーズセットFS0c～FS27cによるノーマルロウデコードの選択/スペアロウデコードの選択の判定を待った後、前記同一バンクに属する2個のサブセルアレイのうちで活性化すべき1個のサブセルアレイに対してはビット線イコライズの解除状態を継続し、非活性状態にすべき1組のサブセルアレイに対してはビット線イコライズのイコライズを再開するように制御する。

【0193】上述したように第4の実施の形態では、各バンクのサブアレイ毎に持たせた8個のスペアエレメントを同一バンク内で共用できるようにしたので、実質的に各バンク毎に16個のスペアエレメントを用意したことになる。

【0194】したがって、セルアレイ全体で欠陥が偏った場合に十分に対処できるようになり、救済率（良品率）と救済自由度を増加させることができる。換言すれば、救済率と救済自由度を維持しながら、総スペアエレメント数を減少させてチップ上の冗長回路の面積効率を上げることができる。

【0195】＜第5の実施の形態＞前記第4の実施の形態においては、隣接バンク間でセンスアンプSAを共有しない場合を示したが、隣接バンクを同時に活性化しないという条件下で隣接バンク間でセンスアンプSAの共有を可能とした第5の実施の形態について説明する。

【0196】図12は、第5の実施の形態に係るマルチバンク構成のDRAMにおける一部のバンクの構成を概略的に示している。

【0197】図12において、バンクBANK1のサブアレイSUBA1-1は、隣接バンク間でセンスアンプSAを共有する点に特徴を有する。

【0198】即ち、バンクBANK1のサブアレイSUBA1-1の一端側のイコライズ回路・センスアンプ列におけるイコライズ回路と、これに隣接するバンクBANK0のサブアレイSUBA1-0の一端側のイコライズ回路・センスアンプ列におけるイコライズ回路とは、バンクBANK0、BANK1間に配置されているセンスアンプSAにそれぞれNMOストランジスタからなるアレイ選択スイッチSWを介して共通に接続されている。

【0199】同様に、バンクBANK1のサブアレイSUBA1-1の他端側のイコライズ回路・センスアンプ列におけるイコライズ回路と、これに隣接するバンクBANK2のサブアレイSUBA1-2の一端側のイコライズ回路・センスアンプ列におけるイコライズ回路とは、バンクBANK1、BANK2間に配置されているセンスアンプSAにそれぞれNMOストランジスタからなるアレイ選択スイッチSWを介して共通に接続されている。ここで、バンクBANK0のサブアレイSUBA1-0のイコライズ回路PREQを制御するイコライズ信号をEQL0、バンクBANK1のサブアレイSUBA1-1のイコライズ回路PREQを制御するイコライズ信号をEQL1、バンクBANK2のサブアレイSUBA1-2のイコライズ回路PREQを制御するイコライズ信号をEQL2、ビット線プリチャージ・イコライズ電源電位をVBLEQで示している。

【0200】また、バンクBANK1のバンクBANK0側のアレイ選択スイッチSWの制御信号を $\phi 0$ 、バンクBANK1のバンクBANK2側のアレイ選択スイッチSWの制御信号を $\phi 2$ 、隣接するバンクBANK0およびバンクBANK2のそれぞれバンクBANK1側のアレイ選択スイッチSWの制御信号を $\phi 1$ で示している。

【0201】通常、ビット線のプリチャージ時には、イコライズ信号をEQL0～EQL2、アレイ選択スイッチ制御信号 $\phi 0 \sim \phi 2$ をそれぞれ“H”にする。

【0202】そして、バンクBANK1のサブアレイSUBA1-1の活性化時には、このサブアレイSUBA1-1のイコライズ回路PREQを制御するイコライズ信号EQL1、隣接するバンクBANK0のサブアレイSUBA1-0のアレイ選択スイッチSWおよび隣接するバンクBANK2のサブアレイSUBA1-2のアレイ選択スイッチSWの制御信号 $\phi 1$ をそれぞれ“L”にする。

【0203】そこで、上記イコライズ信号EQL1およびアレイ選択スイッチ制御信号 $\phi 1$ を図8中のイコライズ信号EQLと等価なものとみなせば、第4の実施の形態で説明したような隣接バンク間でセンスアンプSAを共有しない場合の動作に準じた動作が可能になる。

【0204】上記第5の実施の形態のDRAMによれば、基本的には第4の実施の形態のDRAMと同様の効果が得られるほか、隣接バンクを同時に活性化しないという条件下で隣接バンク間でセンスアンプSAを共有することが可能となる。

【0205】＜第6の実施の形態＞前記第4および第5の実施の形態においては、同一バンクに属する複数のサブアレイのうちで、活性化されるサブアレイと活性化されないサブアレイとが1:1であった場合を示したが、第6の実施の形態では、活性化されるサブアレイと活性化されないサブアレイとが1:n（2以上）である場合を説明する。

【0206】即ち、活性化されるサブアレイと活性化されないサブアレイとが1:n（2以上）である場合、つまり、複数のバンクが（1+n）組のサブアレイに区分けされる場合にも、前記実施の形態に準じて各組のサブアレイに対応して置換制御線を区分けして設けておき、この区分けした各置換制御線にフューズセットFS0c～FS27cから選択的に置換制御信号を出力するように構成することにより、あるサブアレイの不良ロウを同一バンクに属する他のサブアレイのスペアエレメントにより置換制御するように構成することが可能である。

【0207】＜第7の実施の形態＞前記第4～第6の実施の形態においては、いずれのフューズセットFS0c～FS27cも、各サブアレイSUBA1-0～SUBA1-7、SUBA2-0～SUBA2-7内の全てのスペアデコードを選択できるように構成されていたが、一部のスペアエレメントについては1対1に対応したフューズセットを用いる（一部のフューズセットについては、対応するスペアデコードを1つのみ持つ）ように変更した第7の実施の形態について説明する。

【0208】この場合、フューズセットは、不良メモリのアドレスを記憶する第1の記憶手段と、第1の記憶手段の記憶情報と入力アドレスとを比較する比較回路と、この比較回路の比較出力に基づいて前記複数のスペア

アデコード制御線のいずれかを活性化する信号を出力する回路と、複数のスペアデコード制御線のいずれかを活性化する際には対応するスペアデコードを活性化する信号を出力する回路とを具備すればよい。

【0209】換言すれば、上記したようにスペアデコードに1:1で対応するフューズセットは、図9に示したフューズセットFS0c~FS27cと比べて、スペアデコード制御線を選択するためのフューズf14~f16およびそれに対応するデコードDECが不要になるので、総フューズ数を減らすことが可能である。

【0210】上記第7の実施の形態のRAMによれば、基本的には第4の実施の形態のRAMと同様の効果が得られるほか、フューズセットの総フューズ数を減らすことが可能になる。

【0211】なお、前記第4~第7の実施の形態においては、各サブアレイのスペアエレメント数が等しい場合を示したが、セルアレイ全体実際の不良分布の想定に基づいて各サブアレイのスペアエレメント数が必ずしも等しくない（少なくとも一部のサブアレイのスペアエレメント数が他のサブアレイのスペアエレメント数とは異なる）場合でも、サブアレイ内の最大スペアエレメント数をカバーする数のスペアロウデコードアクティブ線SRDactを設けておき、このスペアロウデコードアクティブ線にフューズセットから選択的にスペアロウデコード選択信号を出力するように実施することにより、本発明は適用可能である。

【0212】＜第8の実施の形態＞前記各実施の形態では、1つのスペアエレメントにより置換を行う場合に1個のフューズセットを用いる例を示したが、第8の実施の形態では、欠陥の幅が大きい場合に複数のスペアエレメント（置換単位）および1個のフューズセットを用いる例を説明する。

【0213】図13は、第8の実施の形態に係るマルチバンク構成のDRAMの要部の構成を概略的に示している。ここでは、不良メモリセルをロウ単位で救済するロウスペアを備え、カラム単位で救済するカラムスペアは備えない場合を例にとる。そして、例えば置換に用いるアドレスの最下位ビットA0のみが異なる隣り合う2つのロウデコードが共に不良である場合、あるいは、最下位ビットA0のみが異なる2つのロウデコードにまたがって不良となった場合に、1個のフューズセットのみを用いて2つのスペアロウデコードを指定する例を示している。

【0214】メモリセルアレイ全体は、16個のバンクBANK0~BANK15に分割されている。これらのバンクBANK0~BANK15は連続して活性化され得るように構成されており、あるバンクが活性化された後、再びプリチャージされる（待機状態になる）よりも前に別のバンクがアクセスされることもあり得る。

【0215】カラムデコードCDは、カラムアドレスACを

デコードし、各バンクBANK0~BANK15のカラム選択を行うものである。

【0216】各バンクBANK0~BANK15は、図8に示した第4の実施の形態に係るバンクと同様に構成されており、サブセルアレイ部71とイコライズ回路・センスアンプ列72を有する。

【0217】即ち、各バンクBANK0~BANK15に対応して、それぞれ256個のノーマルロウデコードNRD0~NRD255と、8個のスペアロウデコードSRD0~SRD7と、前記サブセルアレイ部71の両側に配置されたイコライズ回路・センスアンプ列72を制御するためのセンスアンプ制御回路SACが設けられている。

【0218】図13に示すように、ノーマルロウデコードNRD0~NRD255には、それを選択制御するためのノーマルロウデコード選択制御線NWLON（選択時に活性状態“H”レベルになる）が接続されている。また、スペアロウデコードSRD0~SRD7には、それを選択制御するためのスペアロウデコード選択制御線SWLON（選択時に活性状態“H”レベルになる）が接続されている。さらに、8個のスペアロウデコードSRD0~SRD7のうちのどの1個を選択するかを指定するための8本のスペアロウデコードアクティブ線SRDact0~SRDact7（選択時に活性状態“H”レベルになる）が接続されている。

【0219】また、各バンクBANK0~BANK15に対応して16本のバンクアクティブ線BACT0~BACT15が設けられている。これらのバンクアクティブ線BACT0~BACT15は、対応するバンクを選択して活性化する期間は“H”、それ以外の期間に“L”になる。そして、選択したバンクに対応するロウデコード（ノーマルロウデコードあるいはスペアロウデコード）の選択状態をラッチし、当該バンクに対するプリチャージ命令がくるまで選択状態を保持し得るように構成されている。

【0220】即ち、選択したバンクにおけるロウデコードNRD0~NRD255および8個のスペアロウデコードSRD0~SRD7のうち、異バンク間アクセス間隔に対応したパルスが与えられるアドレス線AR、ノーマルロウデコード選択制御線NWLON、スペアロウデコード選択制御線SWLON、8本のスペアロウデコードアクティブ線SRDact0~SRDact7の各信号により選択したロウデコードを、当該バンクに対するプリチャージ命令がくるまでオンしておくことが可能になっている。

【0221】図14は、図13中の各フューズセットFS0d~FS27dのうちの1個を代表的に取り出して具体的な構成例を示すとともに、その一部を取り出して具体的な構成例および動作例を示している。

【0222】図14に示すフューズセットにおいて、16本のフューズf0~f15の内の13本のフューズf0~f12は、メモリセルの不良アドレスを指定する情報（どのバンクであるかも含めた情報）を記憶するものであり、1本のフューズf13は当該フューズセットを使うか否か

を表わすフラグ情報を記憶するものであり、2本のフューズf14、f15は8個のスペアロウデコーダSRD0～SRD7のどれに対応させるかを指定する情報（エンコードデータ）の一部を記憶するものである。

【0223】前記不良アドレス指定情報記憶用の13本のフューズf0～f12の内、9本のフューズf0～f8はバンク内の256個のノーマルロウデコーダNRD0～NRD255との対応関係を指定し、残りの4本のフューズf9～f12は16個のバンクBANK0～BANK15を選択するための情報を記憶する。

【0224】上記各フューズf0～f15は、いずれもプリチャージ用PMOSTランジスタTPと選択用NMOSTランジスタTNと共にVccノードとVssノードとの間に直列に接続される。個々のフューズの記憶情報（フューズデータ）は、PMOSTランジスタTPがオン、NMOSTランジスタTNがオフにされてプリチャージされた後、PMOSTランジスタTPがオフ、NMOSTランジスタTNがオンにされた状態で読み出される。この時、当該フューズが切断されていれば“H”レベルが出力され、当該フューズが切断されていなければ“L”レベルが出力される。

【0225】前記13本のフューズf0～f12のうち、2本のフューズf0、f1は、置換に用いるロウアドレスの最下位ビットの相補的な信号A0、/A0に対応して用意されている。上記フューズf0、f1から読み出されたフューズデータF0、F1および前記ロウアドレスの相補的なビット信号A0、/A0は、一致検出回路（第1の比較回路CMP-A0）に入力している。

【0226】この第1の比較回路CMP-A0は、上記F0およびA0が入力する第1のオアゲート141と、前記F1および/A0が入力する第2のオアゲート142と、これらのオアゲート141、142の各出力が入力するアンドゲート143からなり、パルス信号により比較動作が制御される。

【0227】この第1の比較回路CMP-A0の動作は、フューズf0が切断された状態（F0=“H”）の場合には、第1のオアゲート141の出力が“H”であり、/A0=“H”の時に第2のオアゲート142の出力が“H”になり、アンドゲート143の出力が“H”になる。

【0228】これに対して、フューズf1が切断された状態（F1=“H”）の場合には、第2のオアゲート142の出力が“H”であり、A0=“H”の時に第1のオアゲート141の出力が“H”になり、アンドゲート143の出力が“H”（一致検出出力）になる。

【0229】つまり、2本のフューズf0、f1の両方を切断しておけば、アドレスビット信号A0の論理レベルに拘わらず、第1の比較回路CMP-A0から“H”出力（一致検出出力）が得られることとなる。

【0230】また、2本のフューズf0、f1の両方とも切断しない場合には、第1のオアゲート141、第2のオアゲート142の各出力は“L”になるので、アンドゲート14

3の出力は“L”（非活性状態）になり、対応するフューズセットを使用しないことになる。

【0231】前記13本のフューズf0～f12のうち、f1～f12から読み出されたフューズデータおよびアドレス入力に対応するロウアドレスの各ビット信号A1～A7、バンクアドレスの各ビット信号B0～B3はそれぞれ対応して比較回路CMPに入力している。これらの比較回路CMPは、パルス信号により比較動作が制御され、フューズデータとアドレス入力とを比較して両者の一致検出を行う。

【0232】前記第1の比較回路CMP-A0および他の比較回路CMPの各検出出力と前記イネーブル情報記憶用フューズf13の出力とは、ナンドゲートNANDに入力して論理積がとられるとともに、アンドゲートANDに入力して論理積がとられる。そして、全てのフューズセットFS0d～FS27dのナンドゲートNANDの各出力はアンドゲートAND10を介してノーマルロウデコーダ選択制御線SWLONに接続され、また、全てのフューズセットFS0d～FS27dのアンドゲートANDの各出力はオアゲートOR10を介してスペアロウデコーダ選択制御線SWLONに接続されている。

【0233】前記スペアロウデコーダ選択用の2本のフューズf14、f15から読み出されたフューズデータC1、C2は、アドレスビット信号A0とともにスペアロウデコーダ選択用のデコーダDECに入力している。

【0234】上記デコーダDECは、前記アンドゲートANDの出力（スペアロウデコーダ選択制御信号）SWLONと同相の制御信号SWLON'が活性／非活性制御信号として入力し、フューズf14、f15のデータC1、C2およびアドレスビット信号A0をデコードし、8本のスペアロウデコーダアクティブ線SRDact0～SRDact7の内の1つSRDactiを選択するものである。その具体例は、3つの入力の“H”、“L”の8つの組み合わせのうちの1つと制御信号SWLON'とがそれぞれ対応して入力する8個のアンドゲートからなる。

【0235】次に、図14に示したフューズセットにおける動作を説明する。

【0236】アドレス入力とフューズデータが一致した（リダンダンシーヒット）時には、スペアロウデコーダ選択制御線SWLONのスペアロウデコーダ選択制御信号が一定期間“H”（その他の期間は“L”）になる。このスペアロウデコーダ選択制御線SWLONの信号は、前述したようにスペアロウデコーダSRD0～SRD7の活性／非活性の制御を行う。

【0237】この時、制御信号SWLON'によりデコーダDECが活性化され、フューズf14、f15の読み出しデータC1、C2およびアドレスビット信号A0に応じて8本のスペアロウデコーダアクティブ線SRDact0～SRDact7の内の1つSRDactiを“H”とし、サブアレイ内の8個のスペアロウデコーダSRD0～SRD7の内の1つを選択する。

【0238】また、前記リダンダンシーヒット時には、

ノーマルロウデコーダ選択制御線NWLON は、ナンドゲートNANDの出力（ノーマルロウデコーダ選択制御信号）がアンドゲートAND10 を経て出力し、一定期間“L”になる（その他の期間は“H”）。このノーマルロウデコーダ選択制御線NWLON の信号は、前述したようにノーマルロウデコーダNRD0～NRD255の活性／非活性の制御を行う。

【0239】一方、前記アドレス入力とフューズデータが一致しなかった（リダゲンシーミスト）時には、ノーマルロウデコーダ選択制御線NWLON は、前記ナンドゲートNANDの出力がアンドゲートAND10 を経て出力し、ある期間“H”（その他の期間は“L”）になる。

【0240】これに対して、アンドゲートAND の出力であるスペアロウデコーダ選択制御線SWLON のスペアロウデコーダ選択制御信号は“L”のままである。この時、制御信号SWLONによりデコーダDEC が非活性化され、8本のスペアロウデコーダアクティブ線SRDact0～SRDact7 は全て“L”レベルになる。

【0241】図15は、図14のフューズセットを用いて図13中の1つのバンク内における置換を行う不良例A、Bを示している。

【0242】不良例B は、アドレスビット信号A0のみが異なる隣合う2つのロウデコーダが共に不良である場合、あるいは、アドレスビット信号A0のみが異なる2つのロウデコーダにまたがって不良となった場合に、1個のフューズセットのみを用いてアドレスの最下位ビットが異なる2つのスペアロウデコーダにより置換を行う様子を示している。この場合、2つのスペアロウデコーダの選択を行うために、スペアロウデコーダ選択用のデコーダDECの入力にアドレスビット信号A0を流用している。

【0243】不良例A は、不良ロウデコーダとアドレスの最下位ビットが同じ論理レベルであるスペアエレメントによる置換を行う様子を示している。

【0244】以上の構成により、メモリセルアレイ内の不良メモリセルの平均欠陥想定数20に対してスペアエレメント128個とフューズセット28を用意した場合、幅（面積）の広い欠陥が多発して28以上のスペアエレメントを使用せざるを得ない状況であっても、フューズセットを使い切ることなく済ませることが可能になる場合が発生する。

【0245】以上述べたように、第8の実施の形態によれば、素子の微細化が進み、相対的に欠陥の大きさが大きくなっても、チップ上の占有面積が大きいフューズセットの使用を節約する（フューズセット数の増加を抑える）ことが可能であり、良品率を低下させずに面積効率の改善をもたらすことができる。

【0246】なお、上記したような置換を行うと、置換可能数は、0.5 バンクに4 スペアエレメントとなるが、スペアエレメントの量が多目に用意しておけば大した痛

手ではなく、巨大欠陥に伴うフューズセットの使用を抑える（不必要な消費を防げる）ことができ、非常に有効である。

【0247】＜第8の実施の形態におけるフューズセットの変形例1＞図16は、第8の実施の形態における図14に示したフューズセットの変形例1を示すとともに、その一部を取り出して具体的な構成例および動作例を示している。

【0248】このフューズセットは、図14に示したフューズセットと比べて、フューズセットを使用するかどうかを記憶するフューズf13 およびそれに直列接続されていた1組のMOSトランジスタ対TP、TNを省いた点が異なり、その他は同じであるので図14中と同一符号を付している。

【0249】上記フューズf13を省いても、図14に示したフューズセットと同様の効果を得ることができる。即ち、前記相補的なアドレス信号ビットA0、/A0に対応して用意された2本のフューズf0、f1は、前述したようにどちらかを切断した場合にはフューズセットを使用することになるが、両方とも切断しない場合には、フューズセットを使用しないことになる。

【0250】即ち、上記フューズf0、f1に対応する第1の比較回路CMP-A0の出力は、フューズf0、f1のどちらかを切断した場合には活性状態“H”になるが、フューズf0、f1を両方とも切断しない場合には非活性状態“L”になるので、この比較回路CMP-A0の出力はフューズf13からの読み出しデータと等価であり、この比較回路CMP-A0の出力によりナンドゲートNANDおよびアンドゲートANDを図14に示したフューズセットと同様に制御することができる。

【0251】上記変形例1のフューズセットによれば、図14に示したフューズセットと比べて、フューズf13 およびそれに直列接続されていた1組のMOSトランジスタ対TP、TNが省かれており、また、ナンドゲートNANDおよびアンドゲートAND は、フューズf13からの読み出しデータが入力しない分だけ入力数が少なく済むので、面積的に有利である。

【0252】これに対して、図14に示したフューズセットは、偶数の16本のフューズf0～f15 およびそれぞれに直列接続された16組のMOSトランジスタ対のパターンの繰り返しを有するので、パターン作成処理上、都合が良い。

【0253】＜第8の実施の形態におけるフューズセットの変形例2＞図17は、第8の実施の形態における図14に示したフューズセットの変形例2を示すとともに、その一部を取り出して具体的な構成例および動作例を示している。

【0254】このフューズセットは、図16に示したフューズセットと比べて、次の点が異なり、その他は同じであるので図16中と同一符号を付している。

【0255】(1) デコーダ(スベアロウデコーダ選択回路) DEC の入力側に、フューズf16 およびそれに直列接続された1組のMOSトランジスタ対TP、TNが追加され、スベアロウデコーダ選択用のフューズがf14～f16の3本に増えている。

【0256】(2) 上記フューズf16の読み出しデータC3とアドレスビット信号A0とを択一的に選択してデコーダDECに入力するための第1のセレクトSEL1が追加されている。この第1のセレクトSEL1の選択動作を制御するための制御信号を生成する回路として、前記フューズf0、f1の読み出しデータF0、F1の論理積をとるアンドゲート144 およびその出力を反転するインバータIVが追加されている。

【0257】上記第1のセレクトSEL1は、前記データC3およびアドレスビット信号A0が対応して各一端に入力する2個のCMOSトランスファゲートTG1、TG2の各他端(出力端側)が共通接続されてなり、上記2個のトランスファゲートTG1、TG2は、前記アンドゲート144 およびインバータIVから供給される相補的な制御信号により相補的に制御される。

【0258】この第1のセレクトSEL1の動作は、アンドゲート144の出力が“H”の場合は、アドレスビット信号A0が入力するトランスファゲートTG1がオン状態、残りのトランスファゲートTG2がオフ状態になり、アドレスビット信号A0がスベアロウデコーダ選択の最下位アドレスとしてデコーダDECに入力する。

【0259】これに対して、アンドゲート144の出力が“L”の場合は、フューズf16の読み出しデータC3が入力するトランスファゲートTG2がオン状態、残りのトランスファゲートTG1がオフ状態になり、フューズf16の読み出しデータC3がスベアロウデコーダ選択の最下位アドレスとしてデコーダDECに入力する。

【0260】図18は、図16のフューズセットを用いて図13中の1つのバンク内における置換を行う不良例A、B、Cを示している。

【0261】不良例Bは、アドレスビット信号A0のみが異なる隣合う2つのロウデコーダが共に不良である場合、あるいは、アドレスビット信号A0のみが異なる2つのロウデコーダにまたがって不良となった場合に、1個のフューズセットのみを用いてアドレスの最下位ビットが異なる2つのスベアロウデコーダにより置換を行う様子を示している。この場合、2つのスベアロウデコーダの選択を行うために、デコーダDECの入力にアドレスビット信号A0を流用するものとする。このためには、前記2本のフューズf0、f1を両方とも切断しておけば、データF0、F1がともに“H”になり、アンドゲート144の出力が“H”になり、アドレスビット信号A0がデコーダDECに入力するので、図16に示したフューズセットと同様の動作が行われ、同様の効果を得ることができる。

【0262】不良例Aは、不良ロウデコーダとアドレス

の最下位ビットが同じ論理レベルであるスベアエレメントによる置換を行う様子を示している。

【0263】不良例Cは、不良ロウデコーダとアドレスの最下位ビットが逆の論理レベルであるスベアエレメントによる置換を行う様子を示している。この場合、2本のフューズf0、f1の少なくとも一方を切断しないでおけば、データF0、F1のどちらかが“L”になり、ナンドゲートの出力が“L”になり、フューズf16の読み出しデータC3がデコーダDECに入力する。したがって、上記フューズセットによれば、フューズf16の切断/非切断を制御しておくことにより所望の置換を行うことが可能である。

【0264】<第8の実施の形態におけるフューズセットの変形例3>前記第8の実施の形態およびその変形例1、2では、2つのスベアエレメントを要する置換を1つのフューズセットで対処する例を示したが、4つのスベアエレメントを要する置換を1つのフューズセットで対処する変形例3について説明する。

【0265】図19は、第8の実施の形態における図14に示したフューズセットの変形例3を示す回路図である。このフューズセットは、図17に示したフューズセットと比べて、次の点が異なり、その他は同じであるので図17中と同一符号を付している。

【0266】(1) 17本のフューズf0～f16、およびそれに直列接続された17組のMOSトランジスタ対TP、TNが用いられており、そのうちの14本のフューズf0～f13は、メモセルの不良アドレスを指定する情報(どのバンクであるかも含めた情報)を記憶するものであり、3本のフューズf14～f16はバンク内の8個のスベアロウデコーダSRD0～SRD7のどれに対応させるかを指定する情報を記憶するものである。

【0267】(2) 前記不良アドレス指定情報記憶用の14本のフューズf0～f13のうち、10本のフューズf0～f9はバンク内の256個のノーマルロウデコーダNRD0～NRD255との対応関係を指定し、残りの4本のフューズf10～f13は16個のバンクBANK0～BANK15を選択するための情報を記憶する。

【0268】前記14本のフューズf0～f13のうち、4本のフューズf0～f3は、ロウアドレスの最下位ビットの相補的な信号A0、/A0 およびその上位ビットの相補的な信号A1、/A1 に対応して用意されている。上記フューズf0、f1、f2、f3から読み出されたフューズデータF0、F1、F3、F4および前記相補的なアドレスビット信号A0、/A0、A1、/A1は、一致検出回路(第2の比較回路CMP-A01)に入力している。

【0269】この第2の比較回路CMP-A01は、上記F0およびA0が入力する第1のオアゲート191と、前記F1および/A0が入力する第2のオアゲート192と、前記F2およびA1が入力する第3のオアゲート193と、前記F3および/A1が入力する第4のオアゲート194と、これらのオア

ゲート191～194の各出力が入力するアンドゲート195からなる。

【0270】この第2の比較回路CMP-A01の動作は、フューズf0、f1、f2、f3をそれぞれ切断しない場合は、第1のオアゲート191～第4のオアゲート194の出力のうちの2つは“L”になり、アンドゲート195の出力は“L”（非活性状態）になり、対応するフューズセットを使用しないことになる。

【0271】これに対して、フューズf0、f2が切断された状態（F0、F2＝“H”）の場合には、第1のオアゲート191、第3のオアゲート193の出力が“H”であり、/A0、/A1＝“H”の時に第2のオアゲート192、第4のオアゲート194の出力が“H”になり、アンドゲート195の出力が“H”（一致検出出力）になり、/A0、/A1＝“H”のアドレス（1通りの組み合わせ）を不良とみなすことになる。

【0272】また、フューズf1、f2が切断された状態（F1、F2＝“H”）の場合には、第2のオアゲート192、第3のオアゲート193の出力が“H”であり、A0、/A1＝“H”の時に第1のオアゲート191、第4のオアゲート194の出力が“H”になり、アンドゲート195の出力が“H”になり、A0、/A1＝“H”のアドレス（1通りの組み合わせ）を不良とみなすことになる。

【0273】また、フューズf1、f3が切断された状態（F1、F3＝“H”）の場合には、第2のオアゲート192、第4のオアゲート194の出力が“H”であり、A0、A1＝“H”の時に第1のオアゲート191、第3のオアゲート193の出力が“H”になり、アンドゲート195の出力が“H”になり、A0、A1＝“H”のアドレス（1通りの組み合わせ）を不良とみなすことになる。

【0274】また、フューズf0、f3が切断された状態（F0、F3＝“H”）の場合には、第1のオアゲート191、第4のオアゲート194の出力が“H”であり、/A0、A1＝“H”の時に第2のオアゲート192、第3のオアゲート193の出力が“H”になり、アンドゲート195の出力が“H”になり、/A0、A1＝“H”のアドレス（1通りの組み合わせ）を不良とみなすことになる。

【0275】また、フューズf0、f1、f2が切断された状態（F0、F1、F2＝“H”）の場合には、第1のオアゲート191、第2のオアゲート192、第3のオアゲート193の出力が“H”であり、/A1＝“H”の時に第4のオアゲート194の出力が“H”になり、アンドゲート195の出力が“H”になり、/A1＝“H”のアドレス（2通りの組み合わせ）を不良とみなすことになる。

【0276】また、フューズf1、f2、f3が切断された状態（F1、F2、F3＝“H”）の場合には、第2のオアゲート192、第3のオアゲート193、第4のオアゲート194の出力が“H”であり、A0＝“H”の時に第1のオアゲート191の出力が“H”になり、アンドゲート195の出力が“H”になり、A0＝“H”のアドレス（2通りの組み合わせ）を不

良とみなすことになる。

【0277】また、フューズf0、f1、f3が切断された状態（F0、F1、F3＝“H”）の場合には、第1のオアゲート191、第2のオアゲート192、第4のオアゲート194の出力が“H”であり、A1＝“H”の時に第3のオアゲート193の出力が“H”になり、アンドゲート195の出力が“H”になり、A1＝“H”のアドレス（2通りの組み合わせ）を不良とみなすことになる。

【0278】また、フューズf0、f1、f2、f3が切断された状態（F0、F1、F2、F3＝“H”）の場合には、第1のオアゲート191～第4のオアゲート194の出力が全て“H”であり、A0、A1の論理レベルに拘わらず、アンドゲート195の出力が“H”になり、A0/A1の4通りの組み合わせのアドレスの全てを不良とみなすことになる。

【0279】（3）前記3本のフューズf14～f16のうちのフューズf15の読み出しデータC2とアドレスビット信号A1とを択一的に選択してデコーダDECに入力するための第2のセレクトSEL2が追加されている。

【0280】上記第2のセレクトSEL2の選択動作を制御するための制御信号を生成する回路として、前記フューズf2、f3の読み出しデータF2、F3の論理積をとるアンドゲート196およびその出力を反転するインバータIVが追加されている。

【0281】この第2のセレクトSEL2は、前記アドレスビット信号A1およびデータC2が対応して各一端に入力する2個のCMOSトランスファゲートTG1、TG2の各他端（出力端側）が共通接続されてなり、上記2個のトランスファゲートTG1、TG2は、前記アンドゲート196およびインバータIVから供給される相補的な制御信号により相補的に制御される。

【0282】この第2のセレクトSEL2の動作は、アンドゲート196の出力が“H”の場合は、アドレスビット信号A1が入力するトランスファゲートTG1がオン状態、残りのトランスファゲートTG2がオフ状態になり、アドレスビット信号A1がデコーダDECに入力する。

【0283】これに対して、アンドゲート196の出力が“L”の場合は、フューズf15の読み出しデータC2が入力するトランスファゲートTG2がオン状態、残りのトランスファゲートTG1がオフ状態になり、上記データC2がデコーダDECに入力する。

【0284】即ち、デコーダDECには、フューズf14の読み出しデータC1、第2のセレクトSEL2の出力データおよび第1のセレクトSEL1の出力データが入力している。

【0285】この場合、フューズf0、f1が共に切られた場合にはフューズf16の読み出しデータC3の代わりにスベア選択の最下位アドレスにA0を用い、フューズf2、f3が共に切られた場合にはフューズf15の読み出しデータC2の代わりにスベア選択の中位アドレスにA1を用いている。

【0286】したがって、第2のセレクトSEL2に対応す

るフューズf15 および第1のセレクトSEL1に対応するフューズf16の切断/非切断を選択しておくことにより、所望のスペアエレメントを選択することが可能となる。

【0287】図20は、図19のフューズセットを用いて図13中の1つのバンク内における置換を行う不良例A～Dを示している。ここで、不良例A～Dは、同時に発生しているのではなく、それぞれ単独で発生した様子を単に並べて表示したものである。いずれの不良例A～Dにおいても、フューズセットは1つ消費されるのみである。

【0288】即ち、不良例Aは、単なる1スペアの置換を行う様子を示したもので、スペア選択用フューズf14、f15、f16に応じて自由にスペアを選択できる。

【0289】不良例Bは、アドレスビットA1のみ異なる2スペアの置換を行う様子を示したもので、スペア選択の中位アドレスにA1を流用しており、最下位アドレスビットA0はフューズf16の切断/非切断に応じて“1”、“0”のどちらもあり得る。

【0290】不良例Cは、不良例Bと比べて、A1とA0とが入れ替わった場合である。

【0291】不良例Dは、アドレスビットA2以上のアドレスが同じである連続した4つのノーマルデコードが不良した場合に4スペアの置換を行う様子を示したものである。

【0292】なお、上記したように、アドレスビットA2以上のアドレスが同じである4つのノーマルデコードの間で隣り合う2つを1フューズセットで置換することを可能とするために、バンク内のスペアエレメントは、最下位アドレスビットA0が0110という並びとなるように配列が工夫されている。

【0293】即ち、図19に示したフューズセットによれば、フューズf0～f3のうちの少なくとも2つの切断の組合せにより、入力アドレスの最下位から2ビットが、アドレスビット信号A0/A1の4通りの組み合わせ中の1つ、2つ、あるいは4つに該当するものを不良アドレスとみなし、1つ、2つ、あるいは4つのスペア置換を1つのフューズセットで対処することが可能になる。

【0294】なお、前記各実施の形態では、不良アドレス記憶回路の不揮発性記憶素子としてフューズを用いたが、ROM、EPROM、EEPROM等、他の不揮発性半導体記憶素子を用いることができる。この発明が適用される半導体記憶装置は単体に限らず、ロジック回路等と混載される記憶装置の場合も含む。

【0295】

【発明の効果】上述したように本発明の半導体記憶装置によれば、スペアエレメントの分散型配置と集中型配置とを併用することにより、メモリセルアレイの細分化された複数の単位にそれぞれ対応して設けられるスペアエレメント数を減らした場合でもセルアレイ全体で欠陥が偏った場合に対処でき、救済率と救済自由度を維持しな

がら総スペアエレメント数を減少させてチップ上の冗長回路の面積効率を向上させることができる。

【0296】また、本発明の半導体記憶装置によれば、各バンクのサブアレイ毎に持たせたスペアエレメントを同一バンク内で共用でき、セルアレイ全体で欠陥が偏った場合に対処でき、救済率と救済自由度を維持しながら総スペアエレメント数を減少させてチップ上の冗長回路の面積効率を向上させることができる。

【0297】また、本発明の半導体記憶装置によれば、1つのフューズセットで複数のスペアエレメントの置換を受け持つことができるようにし、幅の大きな欠陥に対処する際のフューズセットの消費を抑制でき、占有面積が大きなフューズセットを増加させずに高い良品率を得ることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係るマルチバンク構成のDRAMの要部の構成を示すブロック図。

【図2】図1中の各バンクのうちの1個を代表的に示す回路図。

【図3】図1中のフューズセットのうちの1個を代表的に取り出して具体的な構成例を示す回路図。

【図4】本発明の第2の実施の形態に係るマルチバンク構成のDRAMの要部の構成を示すブロック図。

【図5】本発明の第3の実施の形態に係るマルチバンク構成のDRAMの要部の構成を示すブロック図。

【図6】図2のバンクの一部を詳細に示す回路図。

【図7】本発明の第4の実施の形態に係るマルチバンク構成のDRAMの要部の構成を示すブロック図。

【図8】図7中の各サブアレイのうちの1個を代表的に示す回路図。

【図9】図7中のフューズセットのうちの1個を代表的に取り出して具体的な構成例を示す回路図。

【図10】図9に示したフューズセットの相異なる動作例を示す波形図。

【図11】図8中の各センスアンプ制御回路SACaのうちサブアレイSUBA1-0に対応して設けられたセンスアンプ制御回路SACaに含まれるイコライズ信号生成回路の一例を示す回路図およびその動作例を示す波形図。

【図12】本発明の第5の実施の形態に係るマルチバンク構成のDRAMにおける隣り合うサブアレイの一部を示す回路図。

【図13】本発明の第8の実施の形態に係るマルチバンク構成のDRAMの要部の構成を示すブロック図。

【図14】図13中の各フューズセットのうちの1個を代表的に取り出して具体的な構成例を示す回路図。

【図15】図14のフューズセットを用いて図13中のバンク内における置換を行う様子を示すブロック図。

【図16】図14中のフューズセットの変形例1を示す回路図。

【図17】図14中のフューズセットの変形例2を示す

回路図。

【図18】図17のフューズセットを用いて図13中のバンク内における置換を行う様子を示すブロック図。

【図19】図14中のフューズセットの変形例3を示す回路図。

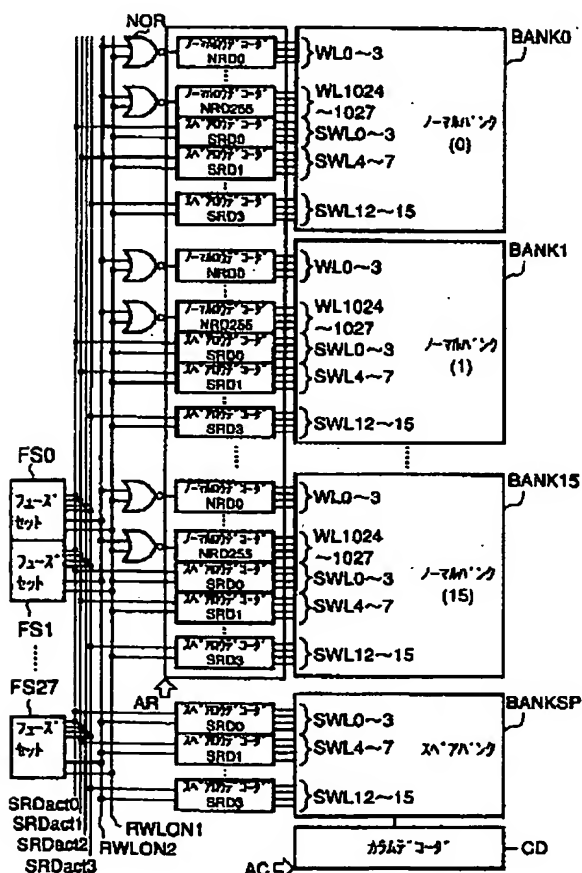
【図20】図19のフューズセットを用いて図13中のバンク内における置換を行う様子を示すブロック図。

【図21】従来のDRAMのバンク内における置換を行う様子を示すブロック図。

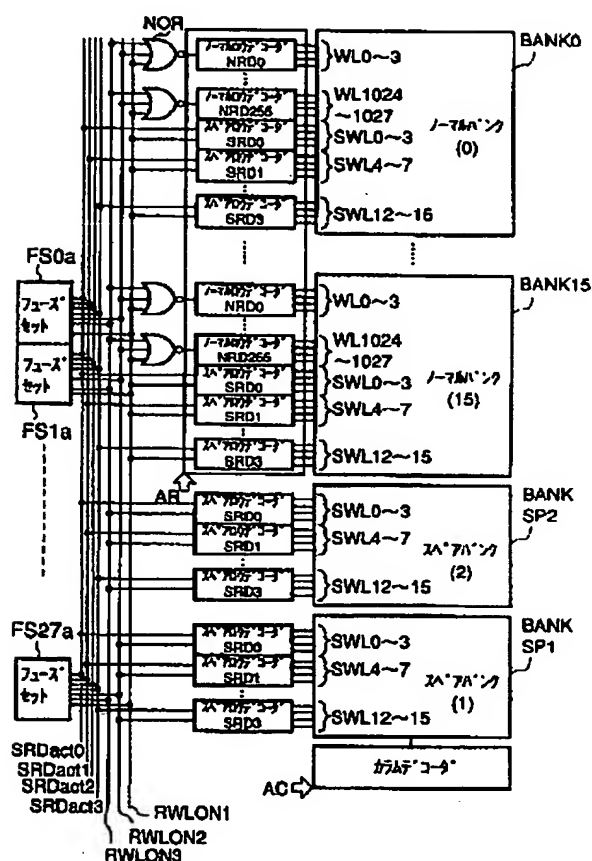
【符号の説明】

BANK0 ~ BANK15…ノーマルバンク、
NRD0 ~ NRD255…通常のロウデコーダ、
BANKBP…スベアバンク、
SRD0 ~ SRD3…スベアロウデコーダ、
FS0a ~ FS27a…フューズセット、
RWLON1, RWLON2…置換制御信号線、
SRDact0 ~ SRDact3…スベアロウデコーダ選択線、
OR…オアゲート、
WL…ワード線、
SWL…スベアワード線。

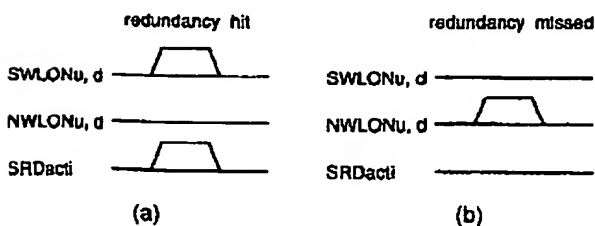
【図1】



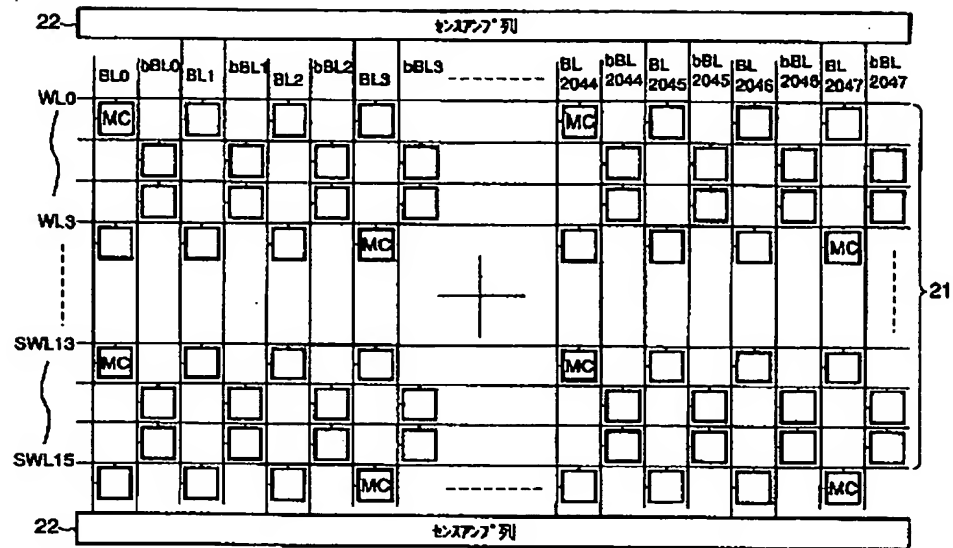
【図4】



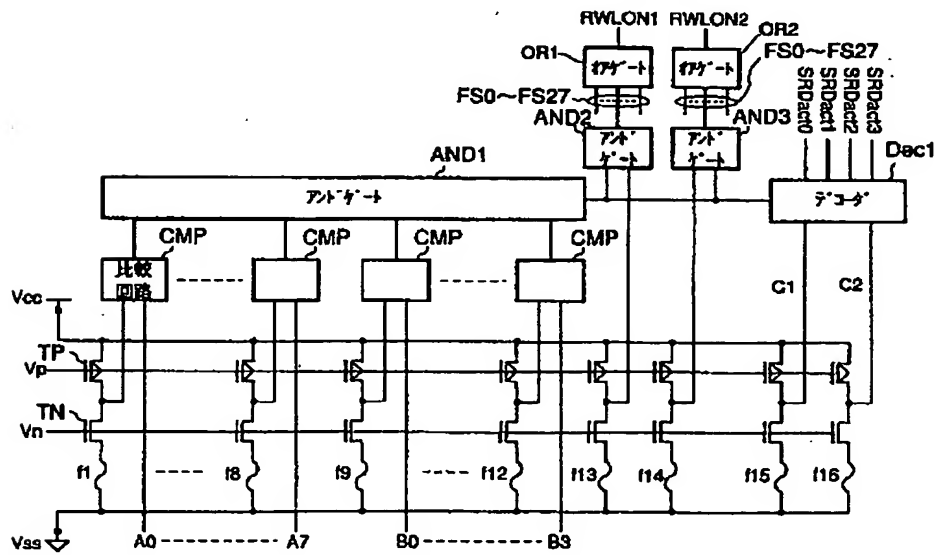
【図10】



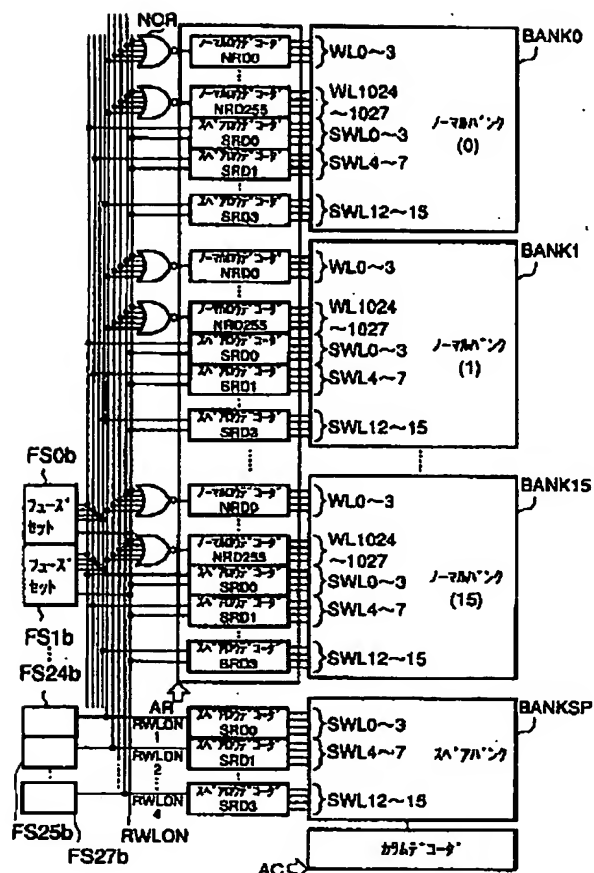
【図2】



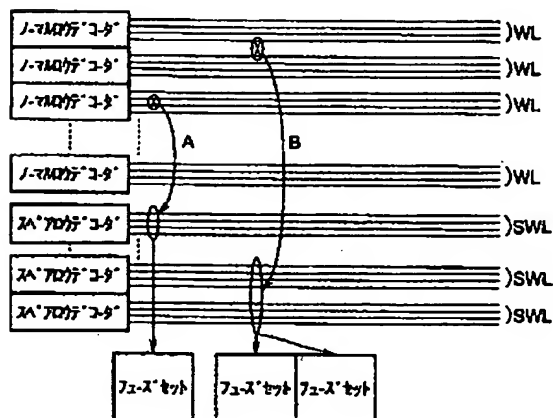
【図3】



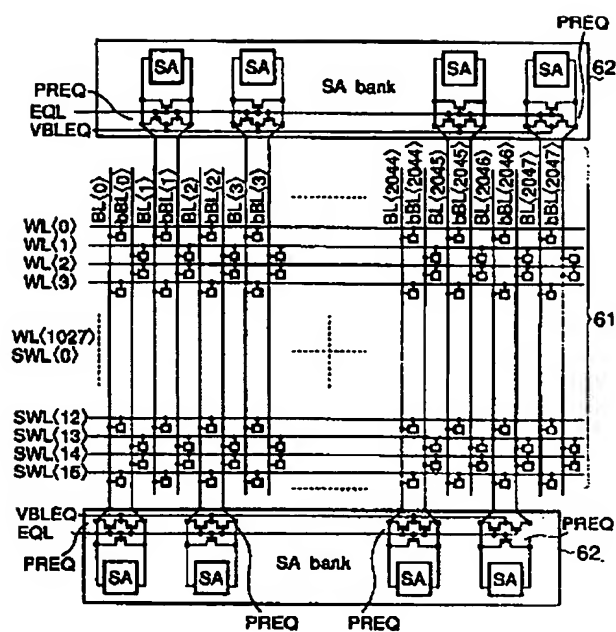
【図 5】



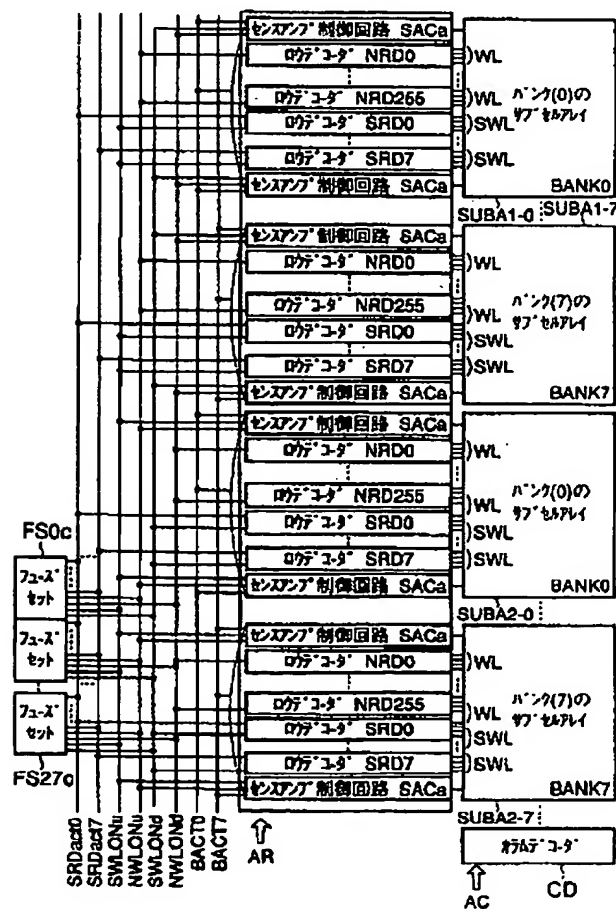
【図 2 1】

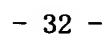
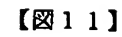


【図 6】

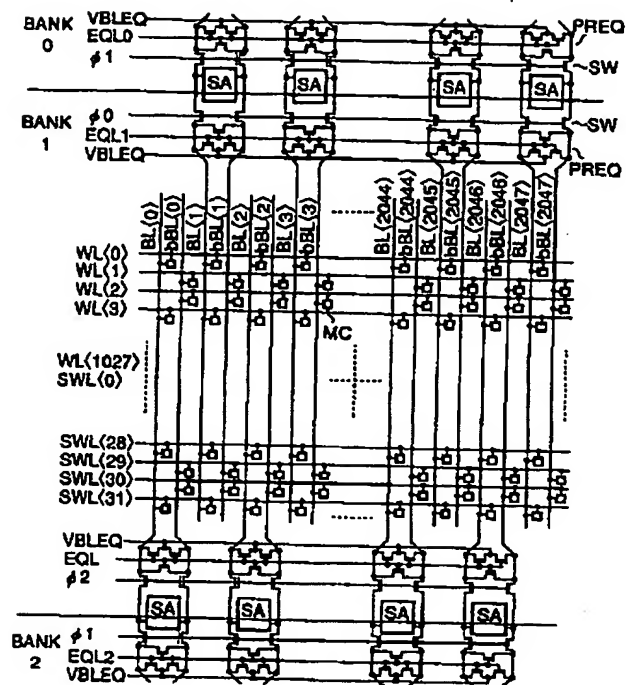


【図 7】

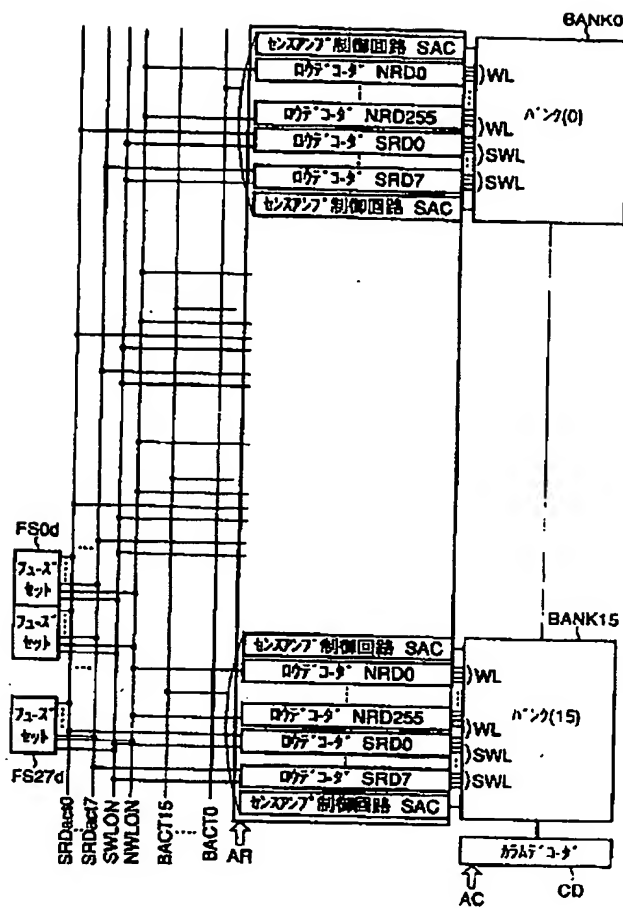




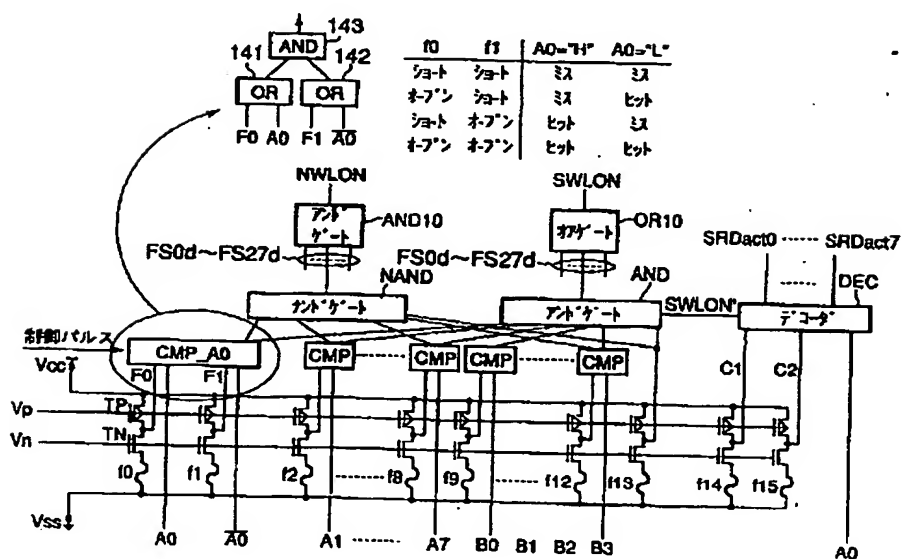
【図12】



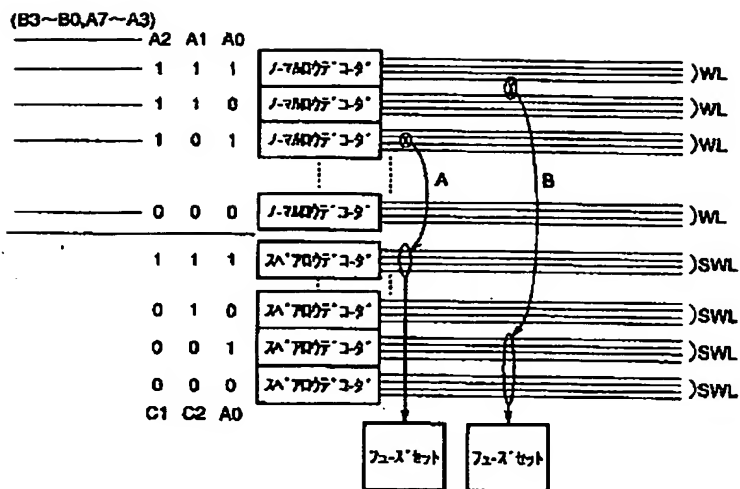
【図13】



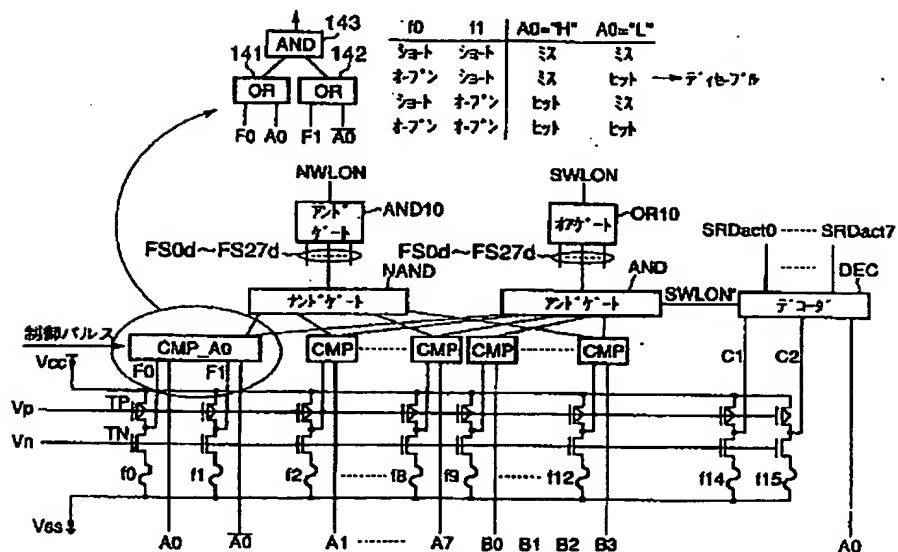
【図14】



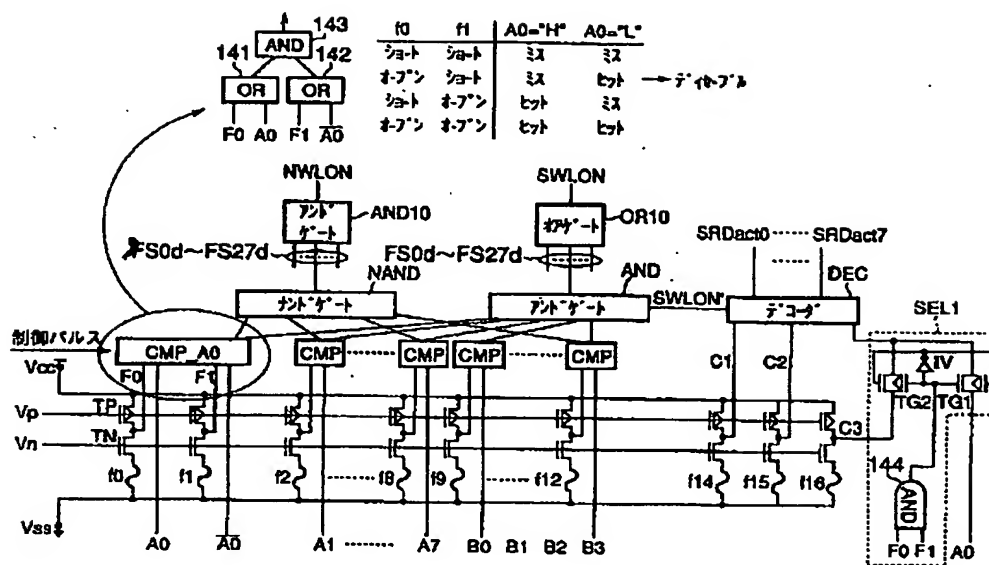
【例 15】



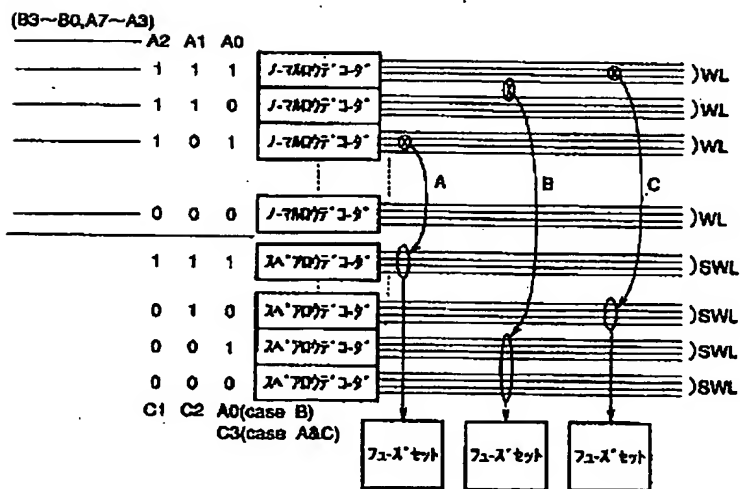
【例 16】



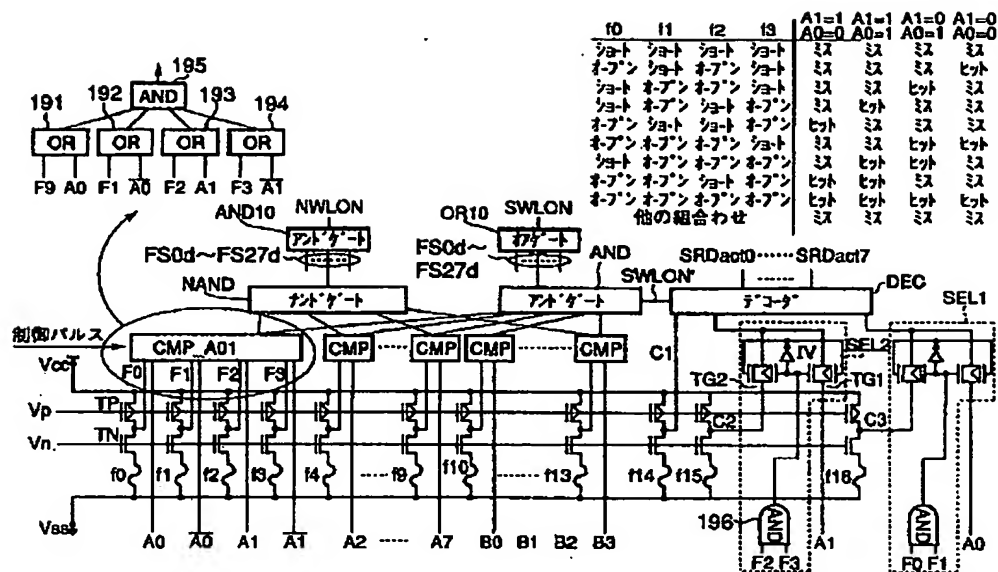
【図17】



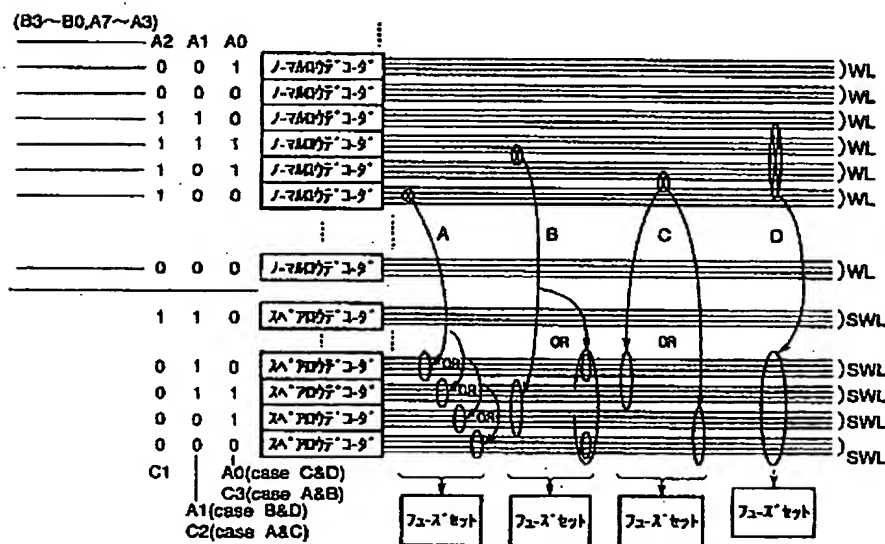
【図18】



【図19】



【図20】



フロントページの続き

Fターム(参考) 5B024 AA07 AA15 BA07 BA09 BA13
 BA18 BA29 CA07 CA16 CA17
 5L106 AA01 CC04 CC16 CC17 CC22
 GG01

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.